

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平9-512966

(43) 公表日 平成9年(1997)12月22日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	
H 0 3 L 7/00		9182-5 J	H 0 3 L 7/00	D
G 0 1 R 31/28		9509-2 G	G 0 1 R 31/28	P

審査請求 未請求 予備審査請求 有 (全 41 頁)

(21) 出願番号 特願平7-521366  
 (86) (22) 出願日 平成7年(1995)2月9日  
 (85) 翻訳文提出日 平成8年(1996)8月15日  
 (86) 国際出願番号 PCT/US95/01726  
 (87) 国際公開番号 WO95/22206  
 (87) 国際公開日 平成7年(1995)8月17日  
 (31) 優先権主張番号 08/196, 583  
 (32) 優先日 1994年2月15日  
 (33) 優先権主張国 米国 (US)

(71) 出願人 ランバス・インコーポレーテッド  
 アメリカ合衆国 94040 カリフォルニア  
 州・マウンテンビュー・レイザム ストリ  
 ート・2465  
 (72) 発明者 リー, トーマス・エイチ  
 アメリカ合衆国 95014 カリフォルニア  
 州・カバチーノ・パブ ロード・939  
 (72) 発明者 ドネリー, ケビン・エス  
 アメリカ合衆国 94131 カリフォルニア  
 州・サンフランシスコ・ノア・1671  
 (74) 代理人 弁理士 山川 政樹 (外5名)

最終頁に続く

(54) 【発明の名称】 遅延ロック・ループ

## (57) 【要約】

位相検出器がDLLの出力の位相を基準入力の位相と比較する遅延ロック・ループ(DLL)について説明する。位相比較器の出力は、位相比較器出力信号を経時時に積分するように機能する差動チャージ・ポンプを駆動する。チャージ・ポンプ出力は、位相比較器の出力が平均で50%の時間だけハイになるようにDLL出力の位相を調整する無限範囲を有するフェーズ・シフタを制御する。DLLが、位相検出器の出力が平均で50%の時間だけハイになるまでフェーズ・シフタを調整するので、DLL出力クロックの入力基準クロックとの関係は、使用される位相検出器のタイプにしか依存しない。たとえば、データ受信機をDLL中の位相検出器として使用するとき、DLLの出力はクロック信号であり、システム中の他の位置にあるデータ受信機に対するサンプリング・クロックとして使用することができ、温度、供給電圧、プロセス変動とは独立に任意選択の瞬間にデータをサンプリングするように調整される。代わりに、直交位相検出器を使用して、基準クロック信号入力に対する直交関係90°を有するクロック信号を生成すること

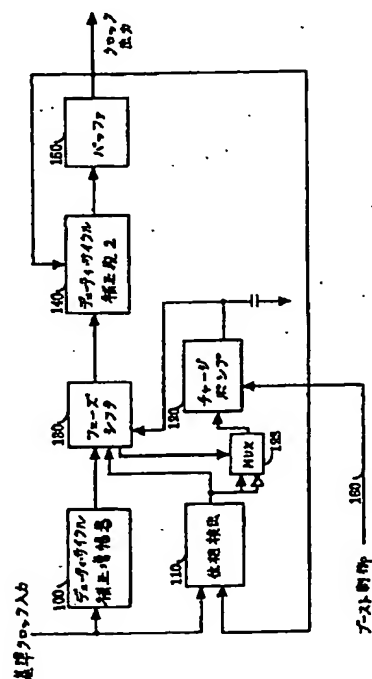


Figure 2

BEST AVAILABLE COPY

## 【特許請求の範囲】

1. 入力信号との所定のタイミング関係で出力信号を生成する回路であって

前記入力信号を受けるように結合され、その入力信号のデューティ・サイクルを所定のデューティ・サイクルに補正してデューティ・サイクル補正済み入力信号を生成するデューティ・サイクル補正増幅器と、

前記入力信号と前記出力信号を受けるように結合され、出力信号の位相が入力信号の位相よりも進んでいるか、遅れているかを示す出力信号を生成する位相検出器と、

位相検出器の出力を受けるように結合され、出力電流を生成するチャージ・ポンプと、

デューティ・サイクル補正済み入力信号、位相検出器からの出力信号、チャージ・ポンプからの出力電流を受けるように結合され、デューティ・サイクル補正済み入力信号の移相を位相検出器によって示される移相方向へ実行して出力信号を生成し、チャージ・ポンプの出力電流によって駆動されるフェーズ・シフタとを備え、

位相検出器の出力が平均して時間の50%だけ最初の状態の信号となるように、出力信号の位相が入力信号の位相の周りでディザすることを特徴とする回路。

2. 入力信号との所定のタイミング関係で出力信号を生成する回路であって

前記入力信号と前記出力信号を受けるように結合され、その出力信号の位相が入力信号の位相よりも進んでいるか、それとも遅れているかを示す出力信号を生成する位相検出器と、

前記位相検出器の出力を受けるように結合され、出力電流を生成するチャージ・ポンプと、

チャージ・ポンプに結合され、回路が入力信号と出力信号との間の所望のタイミング関係を得るように機能する獲得モードであることを示すととともに、回路がその獲得モードであることを示す第1の状態であるときに、前記チャージ・ポンプがより大きな出力電流を生成するブースト制御信号と、

入力信号、位相検出器からの出力信号、チャージ・ポンプからの出力電流を受

けるように結合され、入力信号の移相を位相検出器によって示される移相方向へ実行して出力信号を生成し、チャージ・ポンプの出力電流によって駆動されるフェーズ・シフタとを備え、

回路が獲得モードであるときにはチャージ・ポンプによって出力される電流を増加させ、回路が獲得モードでないときには電流出力をより低いレベルに維持することによって、回路中のジッタが最小限に抑えられることを特徴とする回路。

3. 入力信号との所定のタイミング関係を有する出力信号を生成する方法であって、

前記入力信号のデューティ・サイクルを所定のデューティ・サイクルに補正してデューティ・サイクル補正済み入力信号を生成するステップと、

出力信号の位相が前記入力信号の位相よりも進んでいるか、それとも遅れているかを示す位相出力信号を生成するステップと、

電流を生成するステップと、

その電流によって駆動され、デューティ・サイクル補正済み入力信号の移相を位相検出器によって示される移相方向へ実行して前記出力信号を生成するステップと、

出力信号の位相が、位相検出器の出力が平均で時間の50%だけ最初の状態の信号となるように入力信号の位相の周りでディザすることを特徴とする方法。

## 【発明の詳細な説明】

## 遅延ロック・ループ

発明の背景1. 発明の分野

本発明は、クロック信号などの周期信号を生成する回路に関する。詳細には、本発明は遅延ロック・ループに関する。

2. 技術の背景

多数の高速電気システムは、何らかの基準信号に対する厳密な時間関係を有する周期クロック波形を生成する必要がある重大なタイミング要件を有する。従来、電圧制御発振器（VCO）を使用するフェーズ・ロック・ループ（PLL）を使用して、所望のクロック信号を与えている。PLLの例を第1a図に示す。しかし、VCOベースのPLLは、いくつかの望ましくない特性を有する。たとえば、PLLを介した信号の複数回の反復を必要とする所望のタイミング関係を獲得するには、VCOを正しい周波数にドライブするのに必要な時間のために時間がかかることが多い（典型的には、数百～数千クロック・サイクル）。さらに、十分な電源拒否特性を有するVCOを設計することは、特に回路をCMOSで実施する際には困難である。なぜなら、電力を節約するために、そのような回路で使用される電源電圧がますます低い値で設計されているからである。代替PLL回路は、入力基準信号から所望の遅延の後に出力信号を生成する遅延ロック・ループ（DLL）である。第1b図にブロック図を示す。

発明の概要

したがって、本発明の目的は、電圧制御発振器（VCO）を不要にし、電源誘導ジッタを急速に得てそれを最小限に抑える遅延ロック・ループを提供することである。他の目的は、移相範囲を制限されないDLLを提供することである。

本発明の回路では、位相検出器は、遅延ロック・ループ（DLL）の出力の位相を基準入力の位相と比較する。位相比較器の出力は、DLLの出力信号が基準入力信号よりも進んでいるか、それとも遅れているかを示し、位相比較器出力信号を経時的に積分するように機能する差動チャージ・ポンプを駆動する2進信号

である。チャージ・ポンプ出力は、位相比較器の出力が平均で50%の時間だけある状態、たとえばハイ状態になるようにDLL出力の位相を調整するフェーズ・シフタを制御する。位相検出器出力が平均で50%の時間だけある状態になるまでDLLがフェーズ・シフタを調整するので、DLLの出力は、温度、供給電圧、プロセスとは独立に、基準クロック入力に対する所望の時間関係を有する信号である。たとえば、一実施形態では、DLLを使用して、システム中の他の位置にあるデータ受信機に対するサンプリング・クロックを生成することができる。そのような場合、複製データ受信機が位相検出器として使用される。代替実施形態では、直交位相検出器を使用して、基準クロック入力に直交する出力クロックが生成される。これを使用して、出力信号を送るのに必要なタイミングを生成することができる。

本発明のDLLの一実施形態では、着信クロック信号は、入力デューティ・サイクルとは独立に50%デューティ・サイクルを有する出力クロック波形を生成するデューティ・サイクル・コレクタを介してまず処理される。デューティ・サイクル補正済み信号は次いで、フェーズ・シフタに入力される。任意選択で、第2のデューティ・サイクル・コレクタを使用して、フェーズ・シフタの出力信号を処理し、フェーズ・シフタまたはその後続くバッファ増幅器、あるいはその両方のために発生するデューティ・サイクルひずみを補償することができる。この実施形態はさらに、範囲を制限されないフェーズ・シフタを含む。

この実施形態は好ましくは、ジッタを最小限に抑える回路も含む。たとえば、回路中のチャージ・ポンプへの電流を増加させることは、獲得時間を短縮する1つの方法である。しかし、電流が増加するにつれて、生成されるジッタの量も増加する。余分のジッタを発生させずに獲得時間を短縮するために、DLLは、ブーストされたチャージ・ポンプ電流を選択的に生成する回路を含む。ブーストされたチャージ・ポンプ電流が生成されるのは、信号が基準に同期する獲得プロセス

中だけである。獲得プロセスではないときには、生成されるジッタの量を減少させるために、電流を、ブーストされた量よりも少なくする。制御信号は、獲得の始めと終わりを知らせるために使用され、したがって、チャージ・ポンプへの

電流入力の量を制御する。したがって、プロセスの非獲得フェーズ中には、電流が減少し、それによってジッタが最小限に抑えられる。

#### 図面の簡単な説明

本発明の目的、特徴および利点は、以下の詳細な説明を読めば、当業者には明らかとなる。

第1a図は、従来技術のフェーズ・ロック・ループを示す図である。

第1b図は、従来技術の遅延ロック・ループを示す図である。

第2図は、本発明の遅延ロック・ループの一実施形態を示す図である。

第3a図および第3b図は、本発明の遅延ロック・ループの実施形態で 사용되는直交位相検出器の実施形態を示す図である。

第4図は、本発明の遅延ロック・ループの一実施形態で 사용되는デューティ・サイクル補正増幅器の一実施形態を示す図である。

第5a図、第5b図および第5c図は、本発明の遅延ロック・ループの一実施形態で 사용되는フェーズ・シフタの一実施形態を示す図である。

第6a図および第6b図は、本発明の遅延ロック・ループの一実施形態で 사용되는チャージ・ポンプの一実施形態を示す図である。

第7a図および第7b図は、データ受信機で 사용되는補償位相検出器を有する本発明の遅延ロック・ループを示す図である。

第8図は、位相検出器、ディジタル・フィルタ、ディジタル・アナログ変換器によって、代替獲得基準を使用して差動チャージ・ポンプを制御する差動チャージ・ポンプへの制御電圧が生成される本発明の遅延ロック・ループの代替実施形態のブロック図である。

#### 詳細な説明

下記の説明では、説明上、本発明を完全に理解して頂くために多数の詳細を記

載する。しかし、当業者には、本発明を実施するうえでこのような特定の詳細が必要とされないことが明らかになる。他の例では、本発明を不必要にあいまいにしないように周知の電気構造および回路がブロック図形で示されている。

本発明の遅延ロック・ループ(DLL)は、連続的に調整する移相をもたらす

移相要素を使用するDLLを提供する。さらに、本発明のDLLは、最小のジッタで高速に獲得する優れたジッタ特性を有する。

DLLの一実施形態の簡略化されたブロック図を第2図に示す。クロック信号などの基準信号は、デューティ・サイクル補正増幅器100および位相検出器110に入力される。位相検出器110は、遅延ロック・ループの出力信号の位相と基準信号入力の位相を比較する。基準信号入力は、DLLを使用して補正すべき信号を表す。好ましくは、位相検出器110は位相比較器であり、位相検出器の出力は、フィードバック・クロック入力、すなわちDLLの出力の位相が基準クロック入力の位相よりも進んでいる場合にはハイであり、フィードバック・クロック入力基準クロック入力よりも遅れている場合にはローである2進信号である。代わりに、位相検出器は、フィードバック・クロック入力の位相が基準クロック入力の位相よりも進んでいる場合にはロー出力を生成し、フィードバック・クロック入力基準クロック入力よりも遅れている場合にはハイ出力を生成するように構成することができる。位相検出器の出力は、位相比較器出力信号を経時的に積分するように機能するチャージ・ポンプ120、好ましくは差動チャージ・ポンプを駆動する。チャージ・ポンプ120の出力は、フェーズ・シフタ130を制御する。フェーズ・シフタ130は、位相比較器の出力が平均で50%の時間だけハイになるように、デューティ・サイクル補正増幅器100に入力された基準信号の位相を調整する。DLLは、入力信号を遅延させることによって出力信号を生成する。基準信号とDLLの出力信号との間で検出される位相差が、50%の時間だけ進みとなり、50%の時間だけ遅れとなり、出力信号と基準入力信号との間の所望のタイミング関係に対応する平均位相関係がもたらされるように、出力信号は所望の関係に対して進み、かつ遅れる。

しかし、入力クロック信号を遅延させることによって出力信号を生成することにより、入力クロック信号は、DLLの性能に悪影響を及ぼす恐れがある。具体

的には、基準に対する入力信号のデューティ・サイクルの変動、たとえば50%デューティ・サイクルは、DLLの性能に影響を与える。これに対して、従来型のPLLは主として、着信信号のデューティ・サイクルの影響を受けない。この

問題を最小限に抑えるためにデューティ・サイクル補正増幅器100を使用する。デューティ・サイクル補正増幅器100は、入力信号を受け取り、入力信号デューティ・サイクルとは独立に50%デューティ・サイクルを有する出力信号を生成する。デューティ・サイクル補正増幅器100の出力はフェーズ・シフタ130に入力される。任意選択で、第2のデューティ・サイクル補正増幅器140を使用して、フェーズ・シフタまたはその後に続くバッファ増幅器150のために生じる信号に対するデューティ・サイクルひずみを補償することができる。バッファ増幅器150は、信号を、回路の信号出力として機能するフル・レールに復元する。

本発明のDLLは比例制御を使用せず、すなわち位相検出器の出力は位相誤りの程度には比例しない。その代わり、DLLは、DLL出力信号の位相が実際に所望の値の周りでディザするように構築される。ディザは一種のジッタなので、たとえば、チャージ・ポンプ電流と積分容量の適当な小さな比を選択することによってクロック・サイクル当たりの位相補正の量が十分に小さくなるように選択することにより、ジッタを最小限に抑えることが望ましい。残念なことに、使用される電流が少なくなればなるほど、獲得時間、すなわちDLL出力信号と基準信号との間の所望の関係をを得るのに必要な時間が長くなるので、ジッタを最小限に抑えても、獲得時間は最小限にはならない。

したがって、過度のディザ・ジッタを発生させずに獲得時間を短縮するには、DLLが獲得時にチャージ・ポンプ電流をブーストする回路を含むことが好ましい。獲得時にチャージ・ポンプ電流をブーストすることによって、獲得速度が増加する。しかし、獲得時ではないときに電流を最小値に維持することによって、生成されるジッタの量は最小限に抑えられる。獲得時にチャージ・ポンプ電流をブーストするには、ブースト制御信号160を使用して、獲得モードの始めおよび終わりを知らせ、それによって、獲得モード時にはチャージ・ポンプ電流を増加させ、獲得モードでないときにはチャージ・ポンプ電流を減少させ、それによ

ってディザ・ジッタを最小限に抑える。代わりに、獲得速度を最大にすることは、第2図に示した外部制御信号ではなくDLL回路自体によって制御することが



できる。たとえば、DLL回路は、基準クロックからの逸脱が所定の値よりも大きくなったどうか、すなわち、チャージ・ポンプ電流を増加させて獲得速度を増加させるべきかどうかを判定する論理機構を含むことができる。所望のタイミング関係が達成されると、論理機構はチャージ・ポンプ回路を低ジッタ値に戻す。

前述のように、位相検出器は、入力信号とDLLから出力された信号との間の位相差を判定するように機能する。一実施形態では、使用される位相検出器は直交位相検出器であり、DLLに、入力信号に直交する（ $90^\circ$  移相を有する）出力信号を生成させる。例示的な移送検出器を第3a図および第3b図に示す。

第3a図は、直交位相関係にありそれぞれの異なる電圧スイング特性を有する2つの入力信号間の直交位相誤りを検出する直交位相検出器10の一実施形態を示す。第3b図は、寄生容量によって誘発される位相検出誤りを最小限に抑える直交位相検出器40の代替実施形態を示す。

第3a図を参照すると分かるように、位相検出器10は、トランジスタ11-14および19-21を含む。一実施形態では、トランジスタ11-14および19-21はMOSFETであり、CMOS構成のものである。他の実施形態では、トランジスタ11-14および19-21は、NチャネルMOSFETトランジスタでも、PチャネルMOSFETトランジスタでもよい。代替実施形態では、バイポーラ・トランジスタなど他のデバイスを使用することができる。

図のように、トランジスタ11-14はPチャネル・トランジスタであり、電源電圧 $V_{DD}$ とノード15および16との間に電流源トランジスタとして接続されている。代わりに、トランジスタ11-14は、Nチャネル・トランジスタでも、バイポーラ・トランジスタでもよい。

トランジスタ11-14は共に、位相検出器10の負荷を構成する。トランジスタ11-14は、ノード15とノード16との間の高差動インピーダンスと、電源 $V_{DD}$ からノード15-16への低コモン・モード抵抗をもたらし。ダイオード接続されたトランジスタ11-12は、電源 $V_{DD}$ とノード15-16との間の低コモン・モード抵抗として働く。トランジスタ11-12は、ノード15とノ

ード16との間の正の差動負荷抵抗も構成する。トランジスタ13-14は、ノ

ード15とノード16との間の負の差動負荷抵抗を構成する。負の差動負荷抵抗は、正の差動負荷抵抗を打ち消す。その結果、トランジスタ11-14は共に、ノード15とノード16との間に高差動負荷抵抗をもたらす。トランジスタ11-14の接続について下記で説明する。

代わりに、位相検出器10中の電源 $V_{DD}$ とノード15-16との間に他のタイプの負荷回路を使用することができる。トランジスタ11-14で形成される負荷は、任意の他の種類の高差動インピーダンス負荷回路であってもよい。

トランジスタ11-14のドレインはノード15に接続され、トランジスタ12および13のドレインはノード16に接続される。各トランジスタ11-12のゲートはそのドレインに結合される。また、トランジスタ13のゲートはトランジスタ11のゲートに接続され、トランジスタ14のゲートはトランジスタ12のゲートに接続される。トランジスタ11のゲートとトランジスタ13のゲートが接続され、トランジスタ12のゲートとトランジスタ14のゲートが接続されるので、トランジスタ13はトランジスタ11中の電流をミラーし、トランジスタ14はトランジスタ12中の電流をミラーする。言い換えれば、トランジスタ11とトランジスタ13は電流ミラーを構成し、トランジスタ12とトランジスタ14は別の電流ミラーを構成する。トランジスタ11内を流れる電流をノード16にミラーし、トランジスタ12内を流れる電流をノード15にミラーすることによって、各ノード15-16はほぼ同じ量の電流を受け取り、差動電流は生成されない。したがって、トランジスタ13-14によって生成される負の差動負荷抵抗がトランジスタ11-12によって生成される正の差動負荷抵抗を打ち消すので、トランジスタ11-14は高差動負荷抵抗をもたらす。一実施形態では、トランジスタ13-14によって生成される負の差動負荷抵抗がトランジスタ11-12によって生成される正の差動負荷抵抗を打ち消すように、トランジスタ11-14の寸法はほぼ同じである。

ノード15-16は、位相検出器10の出力を形成する。グラウンドとノード15との間にキャパシタ17が接続され、ノード16とグラウンドにキャパシタ18が接続される。一実施形態では、キャパシタ17とキャパシタ18はほぼ等

しい容量を有する。図のように、キャパシタ17および18はそれぞれ、ノード15-16でのトランジスタ11-14の寄生容量を含む。代わりに、キャパシタ17および18はそれぞれ、ノード15-16でのトランジスタ11-14の寄生容量を含まないようにすることもできる。

ノード15はさらに、トランジスタ19のドレーンに接続され、ノード16はさらに、トランジスタ20のドレーンに接続される。トランジスタ19-20のソースはノード23に接続される。ノード23は次いで、トランジスタ21のドレーンに接続される。トランジスタ21のソースは、電流源24を介してグラウンドに接続される。トランジスタ19のゲートは入力信号 $V_{IN2}$ を受ける。トランジスタ20のゲートは入力信号 $V_{REF}$ を受ける。トランジスタ21のゲートは入力信号 $V_{IN1}$ を受ける。トランジスタ19-21はNチャネル・トランジスタである。代わりに、トランジスタ19-21はPチャネル・トランジスタでも、あるいはバイポーラ・トランジスタでもよい。一実施形態では、トランジスタ19は、トランジスタ20の寸法にほぼ等しい寸法を有する。

この議論では、 $V_{IN1}$ 信号は全CMOS電圧スイングを有する。 $V_{IN2}$ 信号は、 $V_{IN1}$ と直交位相関係にあり、 $V_{REF}$ 基準電圧（すなわち、定DC基準電圧）の周りでほぼ対称的に振動する小さな電圧スイング信号である。したがって、 $V_{IN2}$ 信号を準差動信号と呼ぶ。したがって、 $V_{IN2}$ 信号と $V_{REF}$ 信号は相補的なものではないことが分かる。

代わりに、 $V_{IN2}$ 信号は小スイング全差動信号であり、 $V_{HIGH}$ 電圧と $V_{LOW}$ 電圧との間でスイングする。この場合、 $V_{REF}$ 信号は $V_{IN2}$ 信号を補う。言い換えれば、トランジスタ19のゲートが $V_{HIGH}$ 電圧を受けると、トランジスタ20のゲートは $V_{LOW}$ 電圧を受ける。

トランジスタ19-21は、 $V_{IN1}$ 入力信号および $V_{IN2}$ 入力信号の直交位相誤りを検出する。 $V_{IN1}$ 信号と $V_{IN2}$ 信号を直交位相関係にすることが望ましい。直交位相誤りが発生する（すなわち、所望の直交位相関係が達成されなかった）と、位相検出器10は、各測定サイクルの終わりにノード15-16の間の正味差動電圧（すなわち、出力 $V_{OUT}$ ）を生成することによってこの条件を検出する。ノード15-16の間の正味差動電圧の電圧レベルは、 $V_{IN1}$ 入力信号と $V_{IN2}$

入力信号との間の直交位相誤りの量の関数である。位相検出器10は、直交位相誤りを検出しなかった場合は、検出サイクルの終わりにノード15-16の間の正味差動電圧を生成しない。

位相検出器10は、ノード15とノード16との間に結合されたトランジスタ22も含む。トランジスタ22はNチャネルMOSFETトランジスタである。代わりに、トランジスタ22はPチャネルMOSFETトランジスタでも、あるいはバイポーラ・トランジスタでもよい。トランジスタ22は、位相検出器10内で等化トランジスタとして使用される。トランジスタ22は、測定サイクルが開始される前にトランジスタ22自体が導電したときにノード15-16の間の電圧差動を零にする。トランジスタ22は、 $V_{EQ}$ 信号によってオンまたはオフに切り替えられる。 $V_{EQ}$ 信号によってトランジスタ22がオン操作されると、ノード15とノード16がトランジスタ22を介して接続され、ノード15-16での電圧が等化される。好ましくは、 $V_{EQ}$ 信号は周期信号であり、 $V_{IN1}$ 信号のあらゆるパルスの前に発生する。 $V_{EQ}$ 信号は、検出サイクルを開始するためにノード15-16の間の電圧を等化するのを助ける。代わりに、 $V_{EQ}$ 信号のパルス・サイクルは、 $V_{IN1}$ 信号のパルスが $N-1$ 個発生するたびに発生する。

次に、位相検出器10の動作について説明する。トランジスタ21は、 $V_{IN1}$ 信号が高 $V_{DD}$ 電圧であるときに電流 $I$ をノード23から電流源24に接続する。トランジスタ21は、電流源24に接続されているので、導電時には、電流 $I$ の量しか流さない。 $V_{IN1}$ 信号は、各検出サイクルの始めを制御する。 $V_{IN1}$ 信号の電圧レベルが $V_{DD}$ 電圧に上昇したときには必ず、検出サイクルが開始される。

$V_{IN2}$ の電圧レベルが $V_{REF}$ 電圧の電圧レベルよりも高く、 $V_{IN1}$ 信号が $V_{DD}$ 電圧であるとき（たとえば、時間 $t_1$ から時間 $t_2$ まで）、トランジスタ19はトランジスタ20よりも多くの電流を導電する。したがって、トランジスタ19はほぼすべての $I$ 電流をノード23に与える。ノード15および16はそれぞれ、トランジスタ11-14で形成された負荷素子からほぼ同じ量の電流を受けるので、トランジスタ19とトランジスタ20が同じ量の電流をノード23に流していない場合、キャパシタ17はキャパシタ18とは異なるように荷電される。この

場合、キャパシタ18は、キャパシタ17が放電している間に充電することが

間に差動電圧が生成され、したがって位相検出器10の出力 $V_{OUT}$ で差動電圧が生成される。出力 $V_{OUT}$ での差動電圧は、 $V_{IN2}$ 信号の電圧が $V_{REF}$ 基準電圧よりも高い時間中、線形に増大する。

$V_{IN2}$ 信号の電圧レベルが $V_{REF}$ 電圧の電圧レベルよりも低く、 $V_{IN1}$ 信号が $V_{DD}$ 電圧であるとき（たとえば、時間 $t_2$ から時間 $t_3$ まで）、トランジスタ20はほぼすべてのI電流をノード23に与える。このため、キャパシタ17-18は不均一に充電される。この場合、キャパシタ17は、キャパシタ18が放電している間に充電することができる。このため、位相検出器10の出力 $V_{OUT}$ での差動電力が線形に低下する。

$V_{IN1}$ 信号の電圧レベルがグラウンドになると、出力 $V_{OUT}$ での差動電圧は変化を止める。 $V_{IN1}$ 信号と $V_{IN2}$ 信号が完全に直交する場合、ノード15-16の間の差動電圧は、線形に零に近づき、 $V_{IN1}$ 信号がグラウンドになったときには位相検出器10の $V_{OUT}$ 出力では正味差動電圧は生成されない。しかし、 $V_{IN1}$ 信号と $V_{IN2}$ 信号との間に直交位相誤りが存在する場合、位相検出サイクルの終わりにノード15-16の間に正味差動電圧が生成される。ノード15-16の間の正味差動電圧は直交位相誤りの量にほぼ比例する。

好ましくは、位相検出器10の出力 $V_{OUT}$ を比較器39に接続して、2進直交位相誤り出力が生成される。他の回路を使用して2進直交位相誤り出力を生成することもできる。

しかし、位相検出器10の直交位相誤り検出に関する上記の説明では、ノード23でのトランジスタ19-21の寄生容量25（ならびに回路中の他の容量）の影響が無視される望ましい状況が仮定されている。トランジスタ21はスイッチとして使用されるので、寄生キャパシタ25は、トランジスタ21のソースとグラウンドとの間の寄生容量を含む。

位相検出器10の回路には寄生キャパシタ25が存在するので、位相検出器10は、 $V_{IN1}$ 信号と $V_{IN2}$ 信号が完全な直交関係にあるときでも検出サイクルの終わりに回路の出力 $V_{OUT}$ で正味差動電圧を生成する。

第3b図に示した実施形態は、寄生容量のために回路の出力で発生する正味差動電圧をなくする。第3b図を参照すると分かるように、位相検出器40は、電

源 $V_{DD}$ とノード45および46との間に接続されたトランジスタ41-44を含む。位相検出器40中のトランジスタ41-44の接続および機能は、第3a図の位相検出器10のトランジスタ11-14の接続および機能と同じである。

ノード45はキャパシタ47に接続され、キャパシタ48はノード46に接続される。キャパシタ48の容量はキャパシタ47の容量にほぼ等しい。ノード45-46は次いで、トランジスタ49-51で形成された第1の回路と、トランジスタ52-54で形成された第2の回路に接続される。トランジスタ51および54は次いで回路60に接続される。第3b図から分かるように、回路60は基本的に、トランジスタ51を通して第1の電流 $I_1$ を与える第1の電流源と、トランジスタ54を通して第2の電流 $I_2$ を与える第2の電流源とを含む。 $I_1$ 電流と $I_2$ 電流は共に、 $I_{BIAS}$ 電流によって生成され収集される。

回路60は $I_1$ 電流および $I_2$ 電流を生成する。 $I_2$ 電流の値は、 $I_1$ 電流の値よりも小さい。一実施形態では、 $I_2$ 電流の値は、 $I_1$ 電流の20%-30%の範囲である。代替実施形態では、 $I_2$ 電流の値は、 $I_1$ 電流の20%-30%より大きくても、あるいは小さくてもよい。

一実施形態では、トランジスタ49-51および52-54はNチャネルMOSFETトランジスタである。代替実施形態では、トランジスタ49-51および52-54は、PチャネルMOSFETトランジスタでも、バイポーラ・トランジスタでもよい。一実施形態では、各トランジスタ52-53の寸法は各トランジスタ49-50の寸法にほぼ等しく、トランジスタ54の寸法はトランジスタ51の寸法にほぼ等しい。

トランジスタ49は、ノード45およびノード55に接続される。トランジスタ50は、ノード46および55に接続される。トランジスタ51は、回路60で形成された電流源 $I_1$ を介してノード55をグラウンドに接続する。同様に、トランジスタ52はノード46およびノード56に接続される。トランジスタ53は、ノード45および56に接続される。トランジスタ54は、回路60で形

成された電流源  $I_2$  を介してノード56をグラウンドに接続する。トランジスタ51および54のそれぞれのゲートは  $V_{IN1}$  信号を受ける。トランジスタ49および52のそれぞれのゲートは  $V_{IN2}$  信号を受け取り、トランジスタ50および

53のそれぞれのゲートは  $V_{REF}$  信号を受ける。。

寄生キャパシタ57は、ノード55およびグラウンドに接続され、寄生キャパシタ58は、ノード56およびグラウンドに接続される。寄生キャパシタ57は、ノード55でのトランジスタ49-51の寄生容量を含み、寄生キャパシタ58は、ノード56でのトランジスタ52-54の寄生容量を含む。寄生キャパシタ57は回路中の他の寄生容量も含む。トランジスタ51はスイッチとして使用されるので、寄生キャパシタ57は、トランジスタ51のソースとグラウンドとの間の寄生容量を含む。同様に、寄生キャパシタ58は回路中の他の寄生容量も含む。トランジスタ54はスイッチとして使用されるので、寄生キャパシタ58はトランジスタ54のソースとグラウンドとの間の寄生容量を含む。

トランジスタ49-51は、 $V_{IN1}$  信号および  $V_{IN2}$  信号の位相誤りを検出する。トランジスタ52-54は、回路中の寄生キャパシタ57のための位相検出器40の出力  $V_{OUT}$  での正味差動電圧を打ち消す。前述のように、各トランジスタ52-53は、各トランジスタ49-50の寸法にほぼ等しい寸法を有する。したがって、寄生キャパシタ58の容量は、寄生キャパシタ57の容量にほぼ等しい。トランジスタ52-54の負の取り消し効果のために、寄生キャパシタ57-58のために回路で生成される追加誤り電流は互いに取り消し合い、位相検出器40は、回路の寄生容量のために回路の出力  $V_{OUT}$  で生成される正味差動電圧を経験しない。寄生キャパシタ57-58の容量がほぼ等しいので、寄生キャパシタ57-58に関連する追加誤り電流もほぼ等しい。しかし、トランジスタ49-50および52-53は、それぞれの寄与が互いに減じ合うように交差接続されている。このため、追加誤り電流は互いに取り消し合う。このため、位相検出器40は、 $V_{IN1}$  信号および  $V_{IN2}$  信号の直交位相誤りを最小限の位相検出誤りで検出する。

次に、動作について説明する。論理ハイ  $V_{IN1}$  信号によってトランジスタ51

がオン操作されたとき、ノード55での電圧レベルはただちには変化せず、そのため、トランジスタ51内を流れる電流が電流 $I_1$ を超え、追加誤り電流が生成される。この時点では、 $V_{IN2}$ 信号の電圧レベルが $V_{REF}$ 電圧よりも高いので、この追加誤り電流がトランジスタ49内を流れ、そのため、キャパシタ47が追

加放電する。その間、論理ハイ $V_{IN1}$ 信号によってトランジスタ54もオン操作されるので、ノード56での電圧レベルはただちには変化せず、トランジスタ54内を流れる追加誤り電流も生成される。この時点では、 $V_{IN2}$ 信号の電圧レベルが $V_{REF}$ 電圧よりも高いので、追加誤り電流がトランジスタ52内を流れ、そのため、キャパシタ48が追加放電する。寄生キャパシタ57の容量は寄生キャパシタ58の容量に等しいので、トランジスタ52内を流れる追加誤り電流は、トランジスタ49内の追加誤り電流にほぼ等しい。トランジスタ52がノード46に接続され、これに対してトランジスタ49がノード45に接続される場合、トランジスタ52によって生成される追加誤り電流は、トランジスタ49によって生成される追加誤り電流を打ち消す。

$V_{IN2}$ 信号の電圧レベルが $V_{REF}$ 電圧の電圧レベルよりも低いとき、トランジスタ49が導電する電流の量はトランジスタ50が導電する電流の量よりもずっと少なく、トランジスタ52が導電する電流の量はトランジスタ53が導電する電流の量よりもずっと少ない。この時点で、ノード55および56のそれぞれでの電圧レベルは低下する。これによって、寄生キャパシタ57および58が放電し、トランジスタ50および53内を流れる電流がそれぞれ、減少する。これによって、追加誤り電流がトランジスタ50を通してキャパシタ48へ流れ、トランジスタ53を通してキャパシタ47へも流れ、キャパシタ47および48がそれぞれ追加充電される。トランジスタ50がノード46に接続され、トランジスタ53がノード45に接続され、トランジスタ50中の追加誤り電流とトランジスタ53中の追加誤り電流がほぼ等しい場合、キャパシタ47および48のそれぞれへの追加充電は互いに打ち消し合う。

また、寄生キャパシタ57および58のために、 $V_{IN1}$ 信号によってトランジスタ51および54がオフ操作された直後にはノード55および56のそれぞれ



での電圧レベルは変化せず、そのため、追加誤り電流がトランジスタ50を通して寄生キャパシタ51へ流れ、トランジスタ53を通して寄生キャパシタ58へも流れる。追加誤り電流によって、キャパシタ47および48がそれぞれ追加放電する。寄生キャパシタ57の容量は寄生キャパシタ58の容量にほぼ等しいので、トランジスタ50内を流れる追加誤り電流はトランジスタ53内を流れる追

加誤り電流にほぼ等しい。トランジスタ50がノード46に接続され、トランジスタ53がノード45に接続される場合、追加誤り電流は互いに打ち消し合う。そうすることによって、出力 $V_{OUT}$ では寄生キャパシタ58のための正味差動電圧が生成されず、位相検出器40は、 $V_{IN1}$ 信号および $V_{IN2}$ 信号の直交位相誤りを最小限の検出誤りで検出する。位相検出器40の $V_{OUT}$ 出力は比較器39に接続され、2進直交位相誤り出力が生成される。代わりに、他の回路を使用して2進直交位相誤り出力を生成することもできる。

デューティ・サイクル補正増幅器回路は、不完全なデューティ・サイクルを有する周期入力信号を受け取り、能動デューティ・サイクル補正を使用することによって補正済みデューティ・サイクルを含む周期出力信号を出力する。一実施形態では、この回路は、未補正周期入力信号を受け取り、未補正入力信号を反映する中間信号電流を生成する。この中間信号電流は、信号電流を相殺する補正電流と合計される。合計された電流は積分容量に入力される。積分キャパシタの間の電圧は、有限値にクランプされる。容量およびクランプ電圧は、キャパシタの間の電圧が入力信号の周期の大部分にわたってほぼ線形に変化する（すなわち、スルー限界）ように選択される。スルー制限クランプ電圧信号は次いで、ほぼ方形の波を出力として再生する増幅器を駆動する。補正電流の量を変更することによって、非線形ランプ入力（たとえば、かなり不均一の信号の立上りおよび立下り）を有する未補正入力信号を、線形入力を有するように修正することができ、再生された波形のデューティ・サイクルを、主として、スルー・プロセスによって支配される周期の一部の制約を受ける範囲にわたって変更することができる。

デューティ・サイクル補正増幅器の一実施形態を第4図に示す。増幅器は入力として、未補正入力信号 $IN_1+110$ および $IN_1-115$ ならびにエラー値 $e$

error+125、error-120を受ける。エラー信号は、デューティ・サイクル誤りを測定するデューティ・サイクル誤り測定回路によって生成される。この回路の出力は補正済み差動クロック信号150、155である。この回路は、平行に接続された2つの演算トランスコンダクタンス増幅器(OTA)からなる。未補正クロック信号入力110、115はトランジスタ対M3、M4を駆動する。トランジスタM3およびM4の利得は、ほぼすべてのバイアス電流I

IBIAS 130が交互にトランジスタM3およびM4内を流れるように、入力信号の極性に応じて十分に高くされる。デューティ・サイクル誤り信号120、125は、デューティ・サイクル誤り測定回路によって生成され、トランジスタ対M1およびM2を駆動する。生成された出力電流は次いで、トランジスタM3およびM4によって生成された電流に追加される。インバータInv1およびInv2 160、165は好ましくは、理想的な無限利得インバータであり、所定のしきい値が交差されたときにインバータの出力が状態を変更し、したがって、方形波出力の形成を助ける。

OTAの出力は、トランジスタM8およびM10、ノード170の共通ドレーン接続と、トランジスタM5およびM9、ノード175の共通ドレーン接続である。好ましくは、バイアス電流IBIAS、IBIA 130、140を共通ドレーン接続およびクランプ電圧(この実施形態では、クランプ電圧は電源電圧VDDにほぼ等しい)に関連する容量と組み合わせて選択して所望のスルー制限特性を付与し、入力信号のデューティ・サイクルを補正する。代わりに、別の容量構成要素を使用して、積分容量機能を提供することができる。さらに、雑音やジッタ性能など、他の考慮すべき点のために、OTA出力170、175に接続されたより大きな動作電流または明示的な追加容量が必要になることがある。したがって次いで、OTA出力170、175に明示的な追加容量が接続され、必要なスルー制限特性が付与される。たとえば、ノード170、175とトランジスタM9およびM10のドレーン・ノードとの間にキャパシタを接続することができる。代わりに、ノード170とグラウンドとの間およびノード175とグラウンドとの間に別体のキャパシタ構成要素を接続することができる。

第5 a 図は、本発明の一実施形態のフェーズ・シフタを示す。このフェーズ・シフタは、位相混合を使用して無限位相調整範囲を与える。位相混合は、入力信号から導かれた位相差の2つの中間信号を混合することを含む。この実施形態では、中間信号は4つの直交中間信号であり、 $0^\circ$ 、 $90^\circ$ 、 $180^\circ$ 、 $270^\circ$ の相対位相アライメントを有する。出力信号は常に、4つの中間信号のうちの2つで境界付けされた位相平面の象限内に位置する位相を有する。位相混合は、出力信号の位相が重み関数によって配置される象限を境界付けする各中間信号を乗じ、結果を合計することによって行われる。

フェーズ・シフタ560は、遅延回路510と、位相補間器580と、フェーズ・セクタ562とを含む。遅延回路570は、位相混合プロセスで位相補間器580によって使用される4つの中間信号を信号回線575を介して出力する。この実施形態では、遅延回路は好ましくは、 $0^\circ$ 、 $90^\circ$ 、 $180^\circ$ 、 $270^\circ$ の相対位相アライメントを有する中間信号を出力する。遅延回路570および位相補間器580の結果として生じる固定遅延は、フィードバック・ループの構成要素であるフェーズ・シフタ560によって出力信号から除去される。

直交中間信号を与える1つの方法では、遅延回路は、中間信号の周波数が入力周波数の2分の1になるように入力信号に対して周波数分割演算を実行する必要がある。この方法を実施する場合、第5 c 図に示したように、XORゲート640と、位相補間器610の出力の位相に対して位相が $90^\circ$ だけずれた出力信号を有する第2の位相補間器620とを含むように第5 a 図のフェーズ・シフタを修正することができる。両方の位相補間器610、620の出力は、フェーズ・シフタの出力周波数が入力周波数に等しくなるように周波数を2倍にするように機能するXORゲート640への入力である。

位相補間器620は、信号回線615を介して直交中間信号を受ける。中間信号は位相混合され、信号回線635を介して受け取った差動制御電圧信号VCと、信号回線625を介してフェーズ・セクタ630から受け取った位相選択信号に応答して入力信号から得た所望の移相を有する出力信号が信号回線655で生成される。本発明はそのように制限されるものではないが、改良された電源雑

音拒否特性を得るには差動制御信号および回路が好ましい。フェーズ・セクタ630は、差動制御電圧信号VCと、位相検出器によって与えられ信号回線645を介して受け取られる2進位相勾配信号に応答して位相混合を行うために使用するべき、4つの中間信号のうちの2つを選択する。位相勾配信号は、フェーズ・シフタ600の移相を増加させなければならないか、それとも減少させなければならないかを示す。フェーズ・セクタ630からの制御信号回線637を使用して、各象限でチャージ・ポンプ120（第2図）のセンスを交互に反転させ、有限制御電圧範囲を移相に対応させる（ $\text{modulo } 2\pi$ ）ことができる。

第5b図は、位相補間器の簡略化された一実施形態を示す。位相補間器は、差動nチャネル電界効果トランジスタ（FET）対502および503を含む。差動制御電圧VC+およびVC-はそれぞれ、FET502および503のゲートに結合される。差動対502および503は、固定電流源504および505と共に、VC+およびVC-の制御の下で差動電流を分岐506および507に送る。図の実施形態では、504および505によって与えられる電流はそれぞれ、電流源501によって与えられる電流よりも少なく、そのため、有限差動（VC+ - VC-）によって分岐506でも、あるいは分岐507でも零電流をもたらすことができる。

差動制御電圧VCの値は、位相補間器の右半分および左半分内を送られる電流の量を決定する。分岐506中の電流は、電流源504から供給される電流とFET502のドレーン電流の差に等しい。同様に、分岐507中の電流は、電流源505から供給される電流と503のドレーン電流の差に等しい。VCが $V_{\text{MAX}}$ に等しいとき、FET502はVC+差動制御電圧によって完全にオンに切り替えられ、そのため、FET502は電流源501からのほぼすべての電流を導電する。負の差動制御電圧VC-は負であり、そのため、FET503は導電しない。これは、電流が分岐507内を流れ、分岐506内は流れないことを意味する。VCが $V_{\text{MIN}}$ に等しいとき、電流源501によって与えられるほぼすべての電流がFET503内を流れる。したがって、電流は分岐506内を流れ、分岐507内は流れない。 $V_{\text{MAX}}$ と $V_{\text{MIN}}$ の間の制御電圧レベルVCでは、電流は分岐5

06と分岐507の両方を流れることができる。

位相補間器の右半分および左半分中の電流を使用してキャパシタ590および595が充電される。キャパシタ590および595はそれぞれ、比較器596の正の端子および負の端子に結合される。比較器596は好ましくは、当技術分野で周知の理想的な比較器として働く。フェーズ・ミキサ550は、信号回線525を介して受け取った選択信号に応答して、4つの中間位相ベクトルのうちの2つを使用してキャパシタ590および595と分岐506および507を結合し結合解除するかを決定する。中間信号は、信号回線515を介して受け取られる。

VCが変動するにつれて、キャパシタ590および595内を流れる電流は、最初は完全に第1の結合中間ベクトルに依存するが、その後第2の結合中間ベクトルに完全に依存する。各ベクトルに流れ込む電流の相対量は、差動制御電圧VCによって設定され、キャパシタの相対充電・放電率を決定する。比較器596は、正の端子での電圧が負の端子での電圧よりも正になったことを検出したときに論理ハイを出力する。キャパシタ590および595の電圧は時変波形なので、比較器の出力は、2つのキャパシタの波形がいつ交差するかを示す。この交差点は、差動制御電圧VCを変動させることによって変動する。

任意の種類のチャージ・ポンプを使用して電流をフェーズ・シフタに供給することができるが、差動チャージ・ポンプを使用することが好ましい。差動チャージ・ポンプの一実施形態を第6a図に示す。第6a図に示した実施形態では、負荷は4つのPチャネルMOSデバイスで形成される。トランジスタM3およびM6はダイオード接続され、交差接続されたトランジスタM4およびM5に平行に配置される。トランジスタM3、M4、M5、M6は、チャージ・ポンプ回路でできるように、すべてほぼ同じ寸法に構成される。積分容量C<sub>1</sub>は、駆動トランジスタM1およびM2のドレーンに接続された単一のデバイスとして示されている。

駆動トランジスタM1およびM2のゲートを駆動する信号は、電流源のすべての電流21を積分容量C<sub>1</sub>へ切り替えるのに十分な大きさの振幅のものであると

仮定される。

ダイオード接続されたデバイスM3、M6は共に正の差動抵抗をもたらす。正の差動抵抗自体は、積分容量の望ましくない漏れ経路をもたらす。この漏れを低減させるために、M3、M6中の電流は、トランジスタM4、M5の機能によって打ち消される。この機能は、負の抵抗の機能とみなすことができる。したがって、トランジスタM4、M5はM3、M6の漏れを下記のように打ち消す。

トランジスタM3およびM4は電流ミラーを備える。理想的な動作を仮定すると、この2つのデバイスは同じ電流を送る。デバイスM3およびM4のドレインは容量のそれぞれの対向側に接続されるので、差動電流に対するこの接続による正味寄与は零である。簡単に言えば、トランジスタM5、M6で形成された電流

ミラーにも同じ理論が当てはまり、そのため、トランジスタM3、M4、M5、M6によってもたらされる正味差動抵抗は理想的には無限であり、駆動対M1、M2の有限差動出力抵抗および固有のキャパシタ漏れのみが差動損失機構として残る。

しかし、実際には、トランジスタの不一致のために、理想的な動作から逸脱する。したがって、M4、M5による不完全な打ち消しがそれに比例するより小さな効果を有するように、ダイオード接続されたデバイスM3、M6の有効抵抗としてできるだけ高い値を選択することが望ましい。M1、M2による電流源に対する固有のカスコード効果があるので、M1、M2の有限差動出力抵抗の効果は通常、無視することができる。チャージ・ポンプは、正と負のどちらかの方向の制御入力信号によってすべての電流21を積分容量へ切り替える。たとえば、M1をオン操作しM2をオフ操作する場合、トランジスタM1は電流源（トランジスタまたはトランジスタの集合で実現されると仮定する）用のカスコード・デバイスとして働き、有効インピーダンスをブーストする。

この議論は、M2がオンでありM1がオフであるケースに対称的に当てはまる。したがって、M1、M2によってもたらされる漏れはほぼ無視することができる。本発明の他の利点は、チャージ・ポンプのコモン・モード出力電圧が、正の供給電圧よりもPチャネル・デバイスの1ソース・ゲート電圧だけしか低くない

ことである。

したがって、たとえば、電流源を遮断することによってチャージ・ポンプがディスエーブルされた場合、コモン・モード・レベルをその平衡能動値からかけ離れたものにすることができないため、回復は比較的迅速である。

第6b図は、本発明のチャージ・ポンプ回路の第2の実施形態を示す。この実施形態では、積分容量の交番接続が使用される。ある種の回路では、大部分の面積効率的容量はMOSトランジスタのゲート構造で形成される。そのようなキャパシタでは、容量を最大にして過度の非線形性を避けるために、約1しきい値電圧を超えるDCバイアスが必要である。この実施形態では、キャパシタを2つの等しいキャパシタに分割し、各キャパシタを $V_{DD}$ に結合することによってバイアス基準が満たされる。この実施形態は、各キャパシタを $V_{DD}$ に接続することによ

って、電源( $V_{DD}$ )雑音のフィルタリングを行う。pチャネル負荷デバイスを通して結合される正の電源上の雑音は、キャパシタによってバイパスされ、後に続く段へ渡される雑音の量が大幅に減少される。

有限制御電圧範囲を含むチャージ・ポンプを使用して無限移相を行うために、当技術分野で良く知られているように、チャージ・ポンプの前方にマルチプレクサ123または類似の手段が配置され、チャージ・ポンプの方向が各象限で交互に反転される。マルチプレクサ123を操作する制御信号は、フェーズ・シフタ130によって与えられる。たとえば、DLLがロックされていないとき、位相検出器110は、ハイとローのどちらかの定信号を出力する。この例では、チャージ・ポンプはその最大電圧値に達するまで電流を増加させ続けることができる。フェーズ・シフタ130は次いで、この状態を検知し、フェーズ・シフタ130中の象限を切り替え、チャージ・ポンプの前方に位置するマルチプレクサを、補助入力を選択するように切り替える。チャージ・ポンプは次いで、方向を反転させ、フェーズ・ロックが行われ、あるいは他の象限境界に達するまで電流を減少させ続ける。これによって、チャージ・ポンプは、制御電圧を出力し続け、チャージ・ポンプ自体が有限出力範囲を有する場合でも無限移相範囲を与えることができる。

本発明の遅延ロック・ループの代替実施形態を第7a図に示す。この実施形態では、DLL310、たとえば第2図のDLL回路を使用して、着信クロック信号エッジ間に入力データ信号遷移が配置される高速デジタル・システムのリモート部に配置されたデータ受信機320のセットアップ時間を補償することができる。この図では、データ受信機320とほぼ同様なデータ受信機が、DLL310中の位相検出器として機能する。DLL310は、位相検出器の出力が平均で50%の時間だけハイになるまでフェーズ・シフタを使用して信号を調整するので、定義上、この条件は、温度、供給電圧、プロセス変動とは独立に最適な瞬間に着信データをサンプリングするように時間調整されたサンプル・クロック信号に対応する。たとえば、データ受信機320のセットアップ時間が1ナノ秒である場合、サンプル・クロック信号は入力クロック信号から1ナノ秒だけ遅延する。1ナノ秒のセットアップ時間値がプロセス、温度、供給電圧の変動と共に変

動する場合、DLL310のデータ受信機/位相検出器も同様にプロセス、温度、供給電圧の変動と共に変動するので、DLL310は自動的に補償を行う。

他の実施形態を第7b図に示す。DLL312は、クロック信号を生成してデジタル・システム中のデータを送るために使用される。具体的には、DLL312によって、データ信号出力遷移を厳密に着信クロック信号エッジ間に配置することができる。この実施形態では、位相が着信クロック信号エッジに直交する送信クロック信号が生成される。好ましくは、第3図の直交位相検出器はDLL312中の位相検出器要素として使用される。送信クロック信号はデータ送信機322に輸入され、システムから出力されるデータのタイミングが制御される。

第8図を参照すると分かるように、代替実施形態では、位相検出器の出力を、デジタル・フィルタ、または位相比較器出力のシーケンスを調べ、必要に応じて獲得のためのブースト電流をイネーブルする、プロセッサや状態マシンなど他の信号処理装置に入力することができる。たとえば、DLL出力クロックの位相が入力クロックの位相よりも所定のサイクル数だけ遅れている場合、ブーストされた獲得がイネーブルされる。したがってたとえば、大部分の一般的なケースでは、複数の比較器出力に対して2進探索を実行し、対応する使用すべきブースト



電流値を求めることができる。

本発明を好ましい実施形態に関連して説明した。前記の説明に照らして多数の変更、修正、変形、使用が当業者に明らかになることは自明である。

【図1】

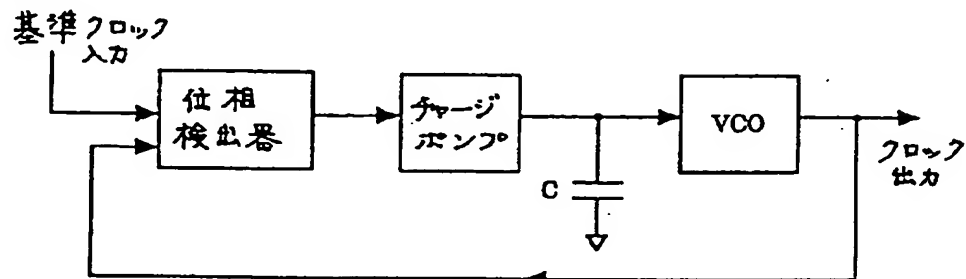


Figure 1a  
(従来技術)

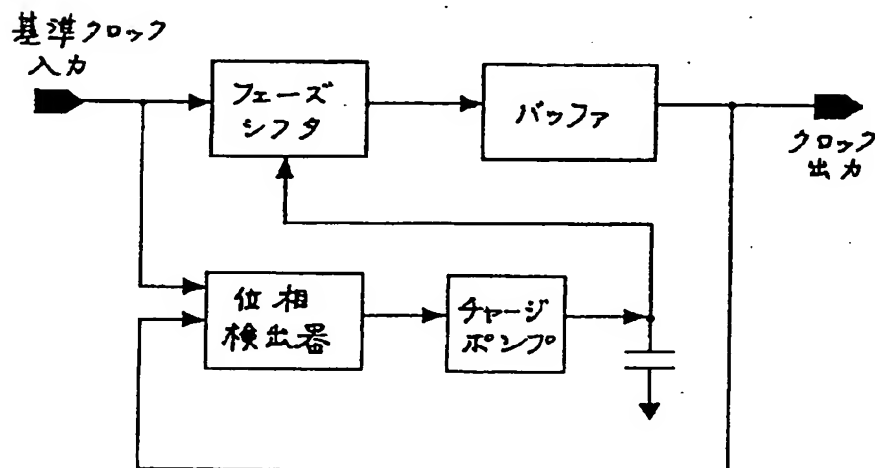


Figure 1b  
(従来技術)

【図2】

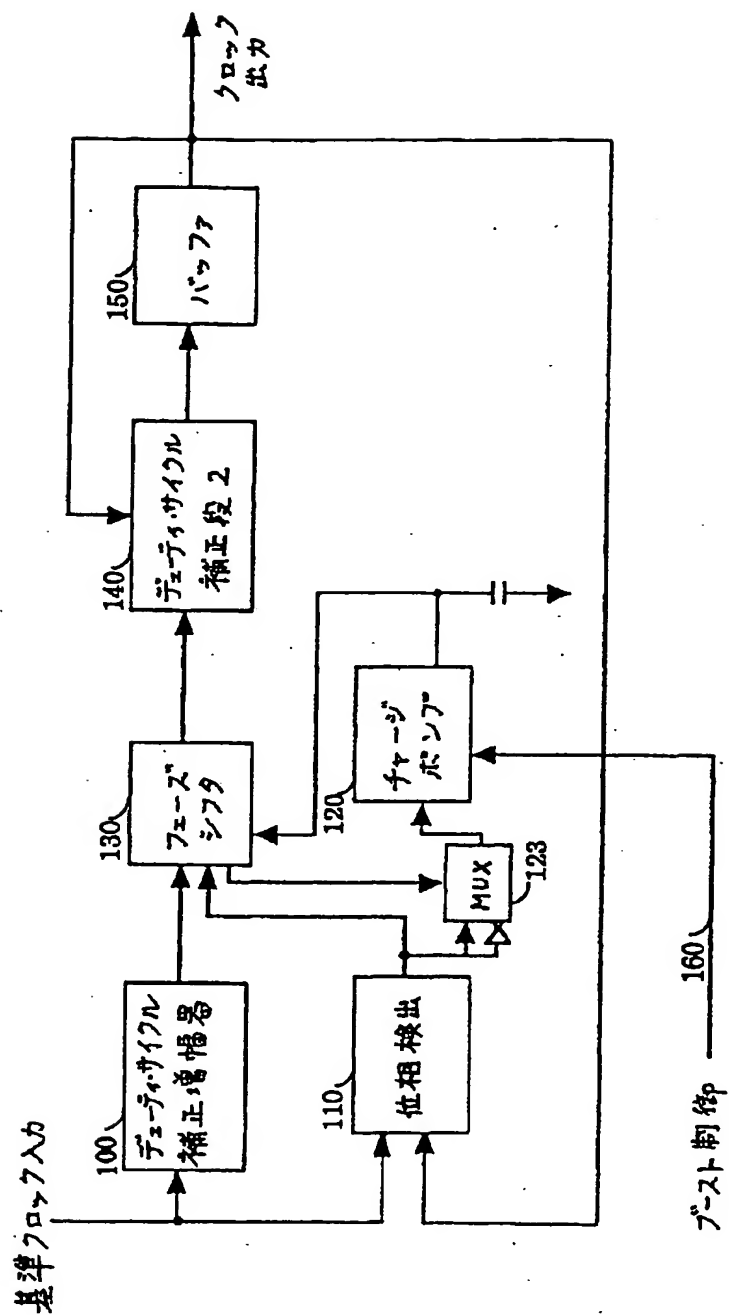
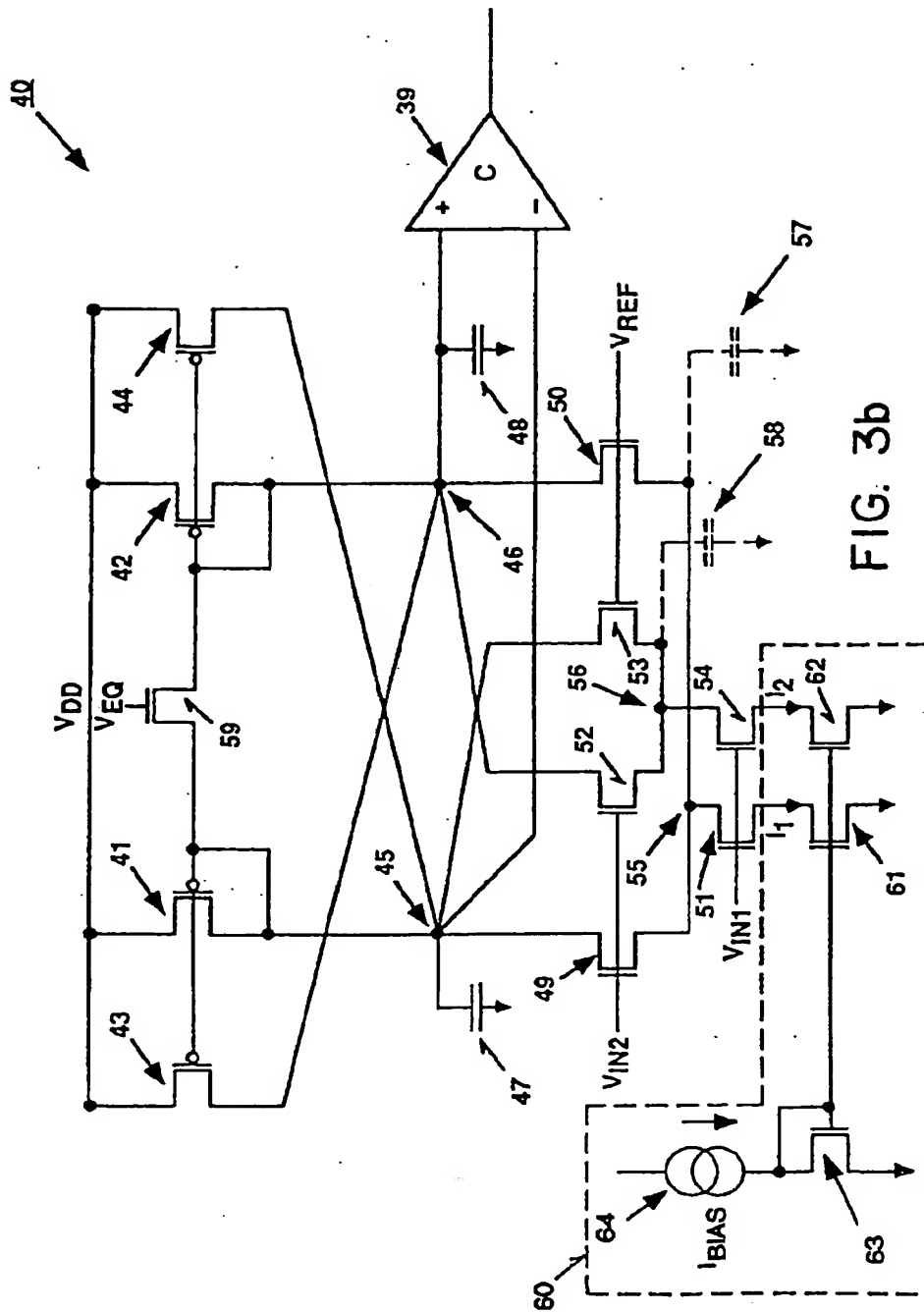


Figure 2

FIG. 3a

【図3】



【图4】

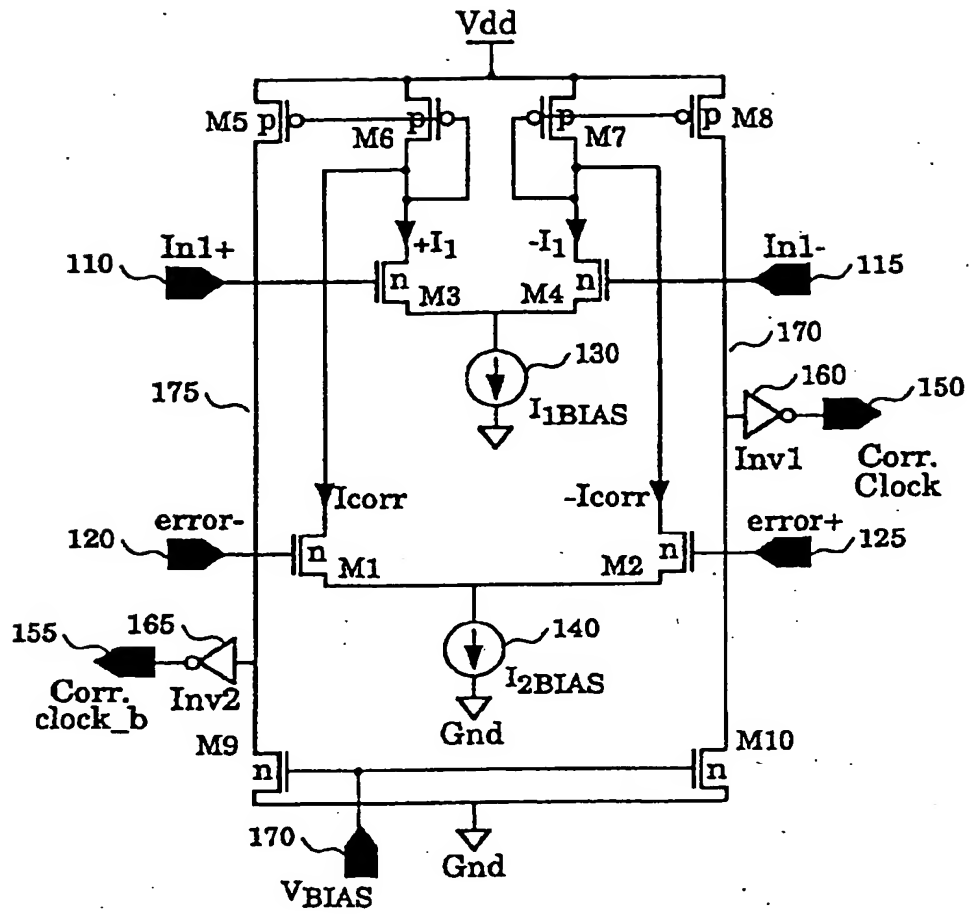


FIG. 4

【図5】

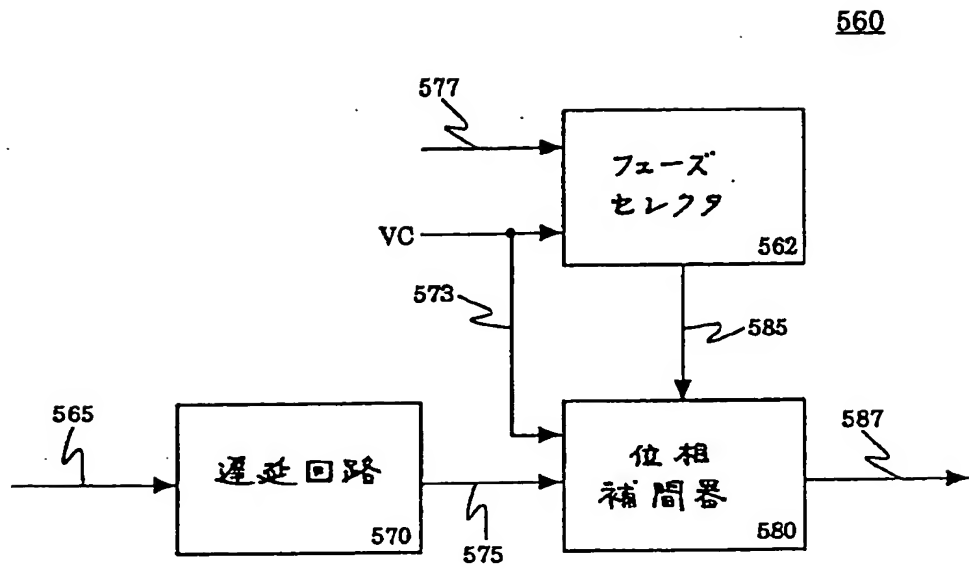


Figure 5a



【図5】

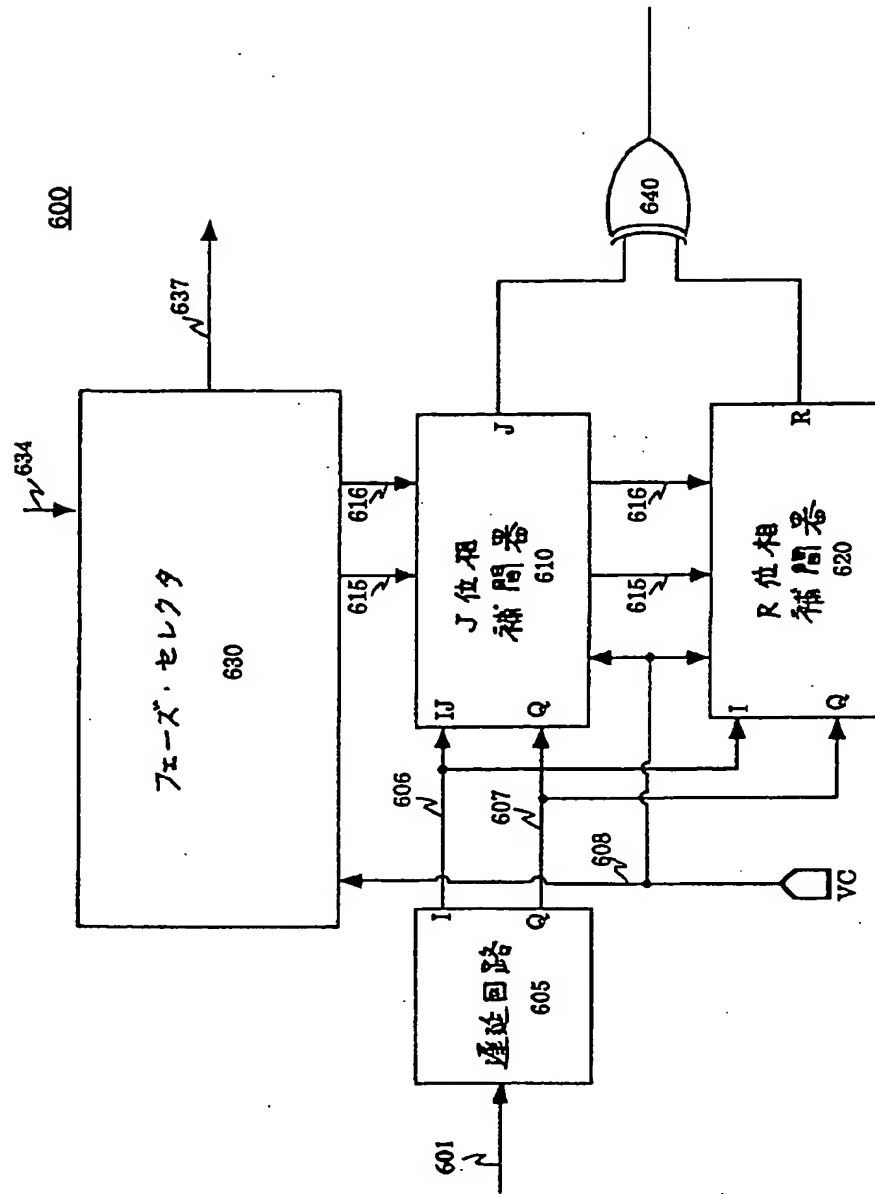


Figure 50



【图6】

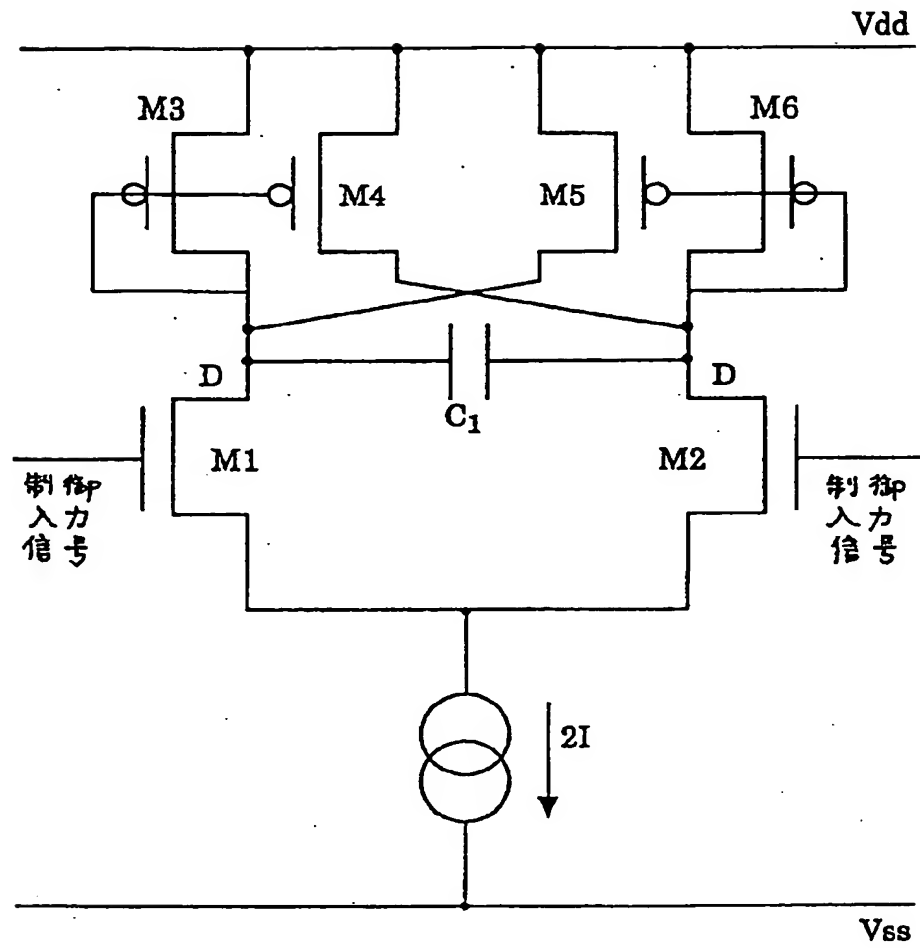


Figure 6a

【図 6】

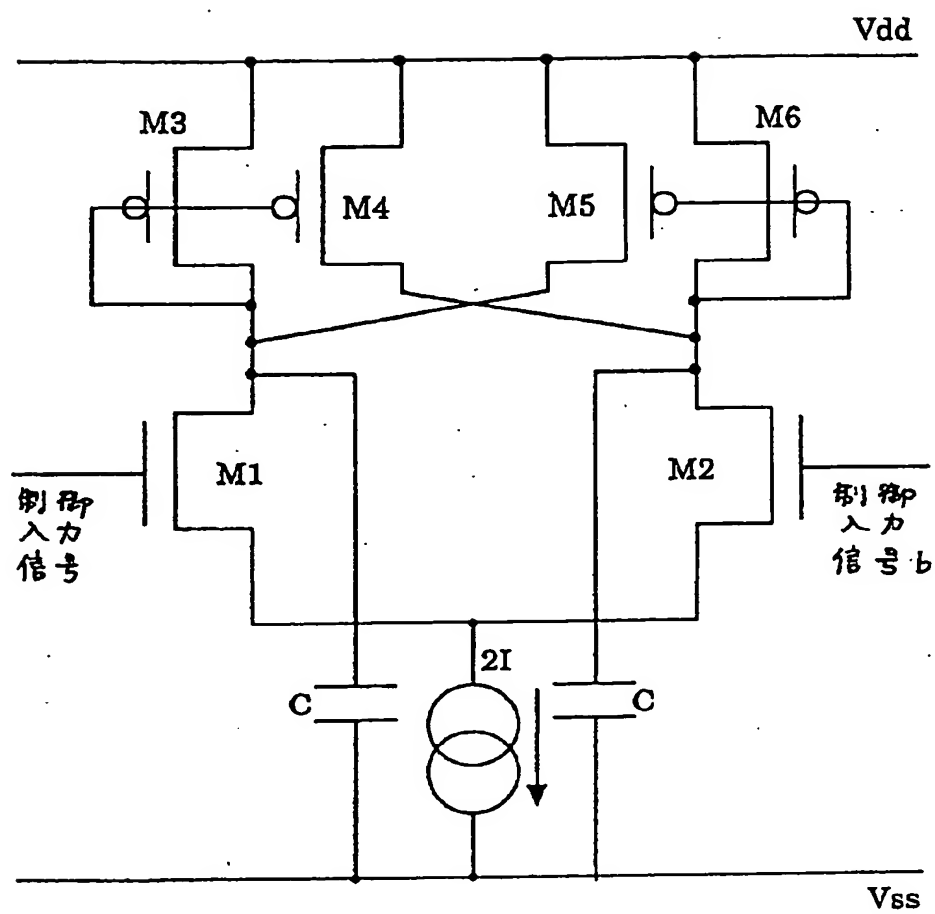


Figure 6b

【図7】

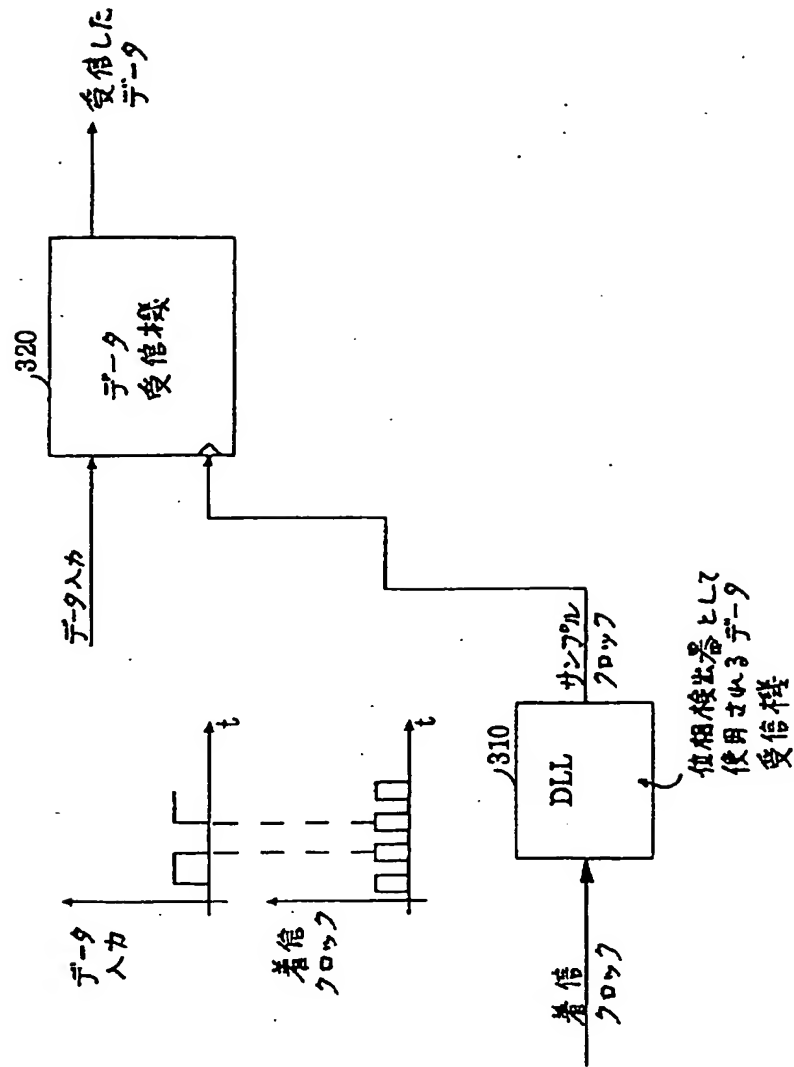


Figure 7a

【図7】

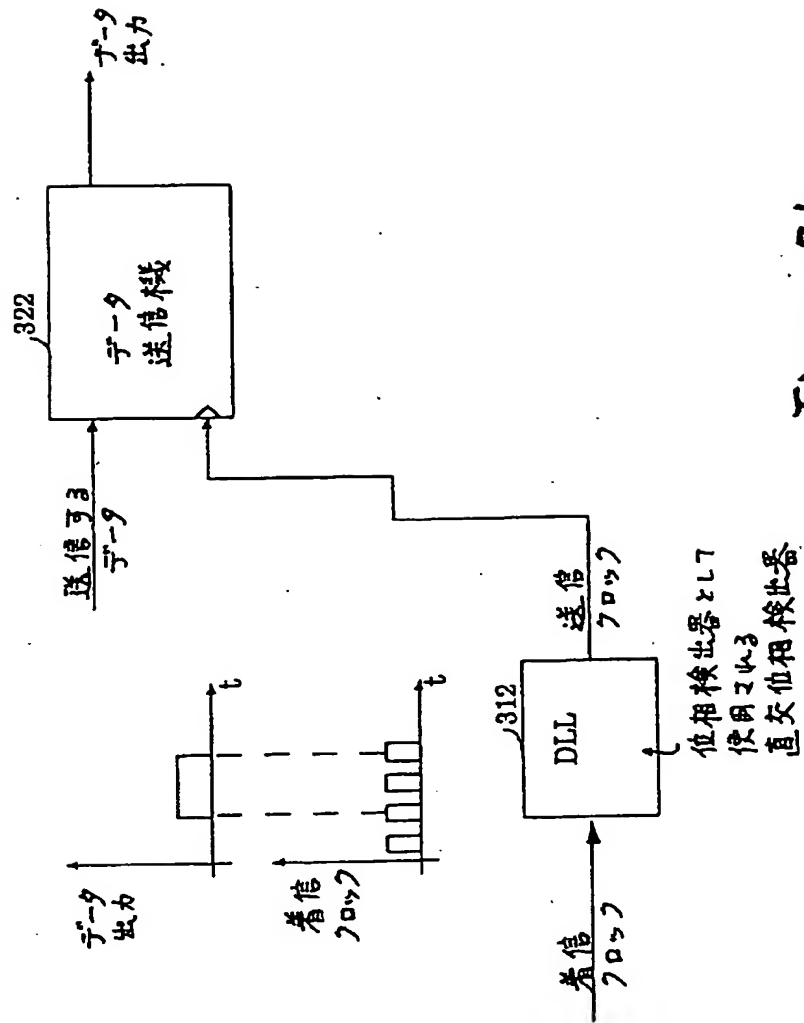


Figure 7b

【図8】

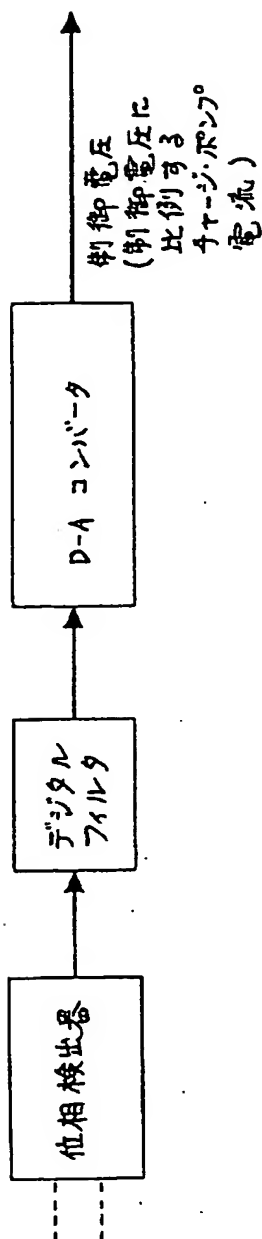


Figure 8

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

Inter- national Application No  
PCT/US 95/01726

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 6 H03L7/081

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 6 H03L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	IEEE INTERNATIONAL SOLID STATE CIRCUITS CONFERENCE, 14 February 1990, SAN FRANCISCO, US pages 194 - 195 J. SONNTAG 'A MONOLITHIC CMOS 10MHZ DPLL FOR BURST-MODE DATA RETINING' see page 194, column 1, line 19 - line 39; figures 1,2	1,3
Y	---	2
Y	US,A,4 893 094 (B. HEROLD ET. AL.) 9 January 1990 see column 5, line 15 - line 33 see column 8, line 49 - column 10, line 2; figure 5B ---	2
	---	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents:

- 'A' document defining the general state of the art which is not considered to be of particular relevance
- 'E' earlier document but published on or after the international filing date
- 'L' document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- 'O' document referring to an oral disclosure, use, exhibition or other means
- 'P' document published prior to the international filing date but later than the priority date claimed

'T' later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

'X' document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

'Y' document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

'Z' document member of the same patent family

Date of the actual completion of the international search

6 June 1995

Date of mailing of the international search report

28.06.95

Name and mailing address of the ISA  
European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 631 epo nl,  
Fax (+31-70) 340-3016

Authorized officer

Butler, N

## INTERNATIONAL SEARCH REPORT

International Application No.

PCT/US 95/01726

C(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	IEEE JOURNAL OF SOLID STATE CIRCUITS, vol.27, no.12, 1 December 1992, NEW YORK,US pages 1763 - 1774 S. K. ENAM ET. AL. 'NMOS ICS FOR CLOCK AND DATA REGENERATION IN GIGABIT PER SECOND OPTICAL FIBER RECEIVERS' see page 1765, column 2, line 8 - page 1766, column 2, line 2; figures 4,6.	1-3

**information on patient family members**

PCT/US 95/01726

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US-A-4893094	09-01-90	EP-A- 0464139	08-01-92
		JP-T- 4505840	08-10-92
		WO-A- 9010978	20-09-90
<hr/>			



## フロントページの続き

(81)指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(KE, MW, SD, SZ, UG), AM, AT, AU, BB, BG, BR, BY, CA, CH, CN, CZ, DE, DK, EE, ES, FI, GB, GE, HU, JP, KE, KG, KP, KR, KZ, LK, LR, LT, LU, LV, MD, MG, MN, MW, MX, NL, NO, NZ, PL, PT, RO, RU, SD, SE, SI, SK, TJ, TT, UA, UZ, VN

(72)発明者 ホ, ツィルーチャン

アメリカ合衆国 95131 カリフォルニア  
州・サンホゼ・スタントン ウェイ・1412

(72)発明者 ジョンソン, マーク・グリフィン

アメリカ合衆国 94022 カリフォルニア  
州・ロスアルトス・アープエロ ウェイ・  
125

## 【要約の続き】

ができる。これは、たとえばデータ伝送装置用に伝送クロックを生成するのにも使用できる。さらに、DLLは、ディザ・ジッタを最小限に抑え、同時に獲得時間を最小限に抑えるように制御される。また、デューティ・サイクル補正増幅器を使用して、所望のデューティ・サイクル、たとえば50%を有するDLL出力クロックが生成される。また、チャージ・ポンプへの入力各位相平面象限で交互に反転され、有限制御電圧範囲を有する無限移相がイネーブルされる。

【公報種別】特許法第17条第1項及び特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成14年7月16日(2002.7.16)

【公表番号】特表平9-512966

【公表日】平成9年12月22日(1997.12.22)

【年通号数】

【出願番号】特願平7-521366

【国際特許分類第7版】

H03L 7/00

G01R 31/28

【FI】

H03L 7/00 D

G01R 31/28 P

特許補正書

平成 14.2.12 B

特許庁長官殿

1. 事件の表示 平成7年特許願第521366号  
(国際出願番号) PCT/US95/01726

2. 補正をする者  
氏名 ランバース・インコーポレーテッド

3. 代理人  
住所 東京都千代田区金町2丁目4番2号  
秀和階ビル6階  
山川国際特許事務所  
電話 (8580) 0961  
氏名 (6462) 弁護士 山川 政 和

4. 補正対象書類名 請求の範囲

5. 補正対象項目名 請求の範囲

6. 補正の内容 請求の範囲を、別紙の通り補正する。

請求の範囲

1. 入力信号との所定のタイミング関係で出力信号を生成する回路であって

前記入力信号を受け取るように結合され、その入力信号のデューティ・サイクルを所定のデューティ・サイクルに補正してデューティ・サイクル補正済み入力信号を生成するデューティ・サイクル補正増倍器と、

前記入力信号と前記出力信号を受け取るように結合され、出力信号の位相が入力信号の位相よりも遅れているか、遅れているかを示す2進出力信号を生成する位相検出器と、

デューティ・サイクル補正済み入力信号と前記2進出力信号を受け取るように結合され、デューティ・サイクル補正済み入力信号の位相を位相検出器の前記2進出力によって示される位相方向へ実行して出力信号を生成するフェーズ・レフトとを備え、

位相検出器の出力が平均して時間の50%だけ最初の状態の信号となるように、出力信号の位相が入力信号の位相の周りでディザすることを特徴とする回路。

2. 入力信号との所定のタイミング関係で出力信号を生成する回路であって

前記入力信号と前記出力信号を受け取るように結合され、その出力信号の位相が入力信号の位相よりも遅れているか、それとも遅れているかを示す2進出力信号を生成する位相検出器と、

前記位相検出器の2進出力を受け取るように結合され、出力電流を生成するチャージ・ポンプと、

チャージ・ポンプに結合され、回路が入力信号と出力信号との間の所定のタイミング関係を得るように振動する振動モードであることを示すとともに、回路がその振動モードであることを示す第1の状態であるときに、前記チャージ・ポンプがより大きな出力電流を生成するブースト制御信号と、

入力信号、位相検出器からの2進出力信号、チャージ・ポンプからの出力電流を受け取るように結合され、入力信号の増倍を、位相検出器の2進出力信号によって示される位相方向へ実行して出力信号を生成し、チャージ・ポンプの出力電流

によって駆動されるフェーズ・シフタとも併え、

回路が低待モードであるときにはチャージ・ポンプによって出力される電圧を増加させ、回路が動作モードでないときには電圧出力をより低いレベルに移すことによって、回路中のジッタが最小限に抑えられることを特徴とする回路。

3. 入力信号との所定のタイミング関係を有する出力信号を生成する方法であって、

前記入力信号のデューティ・サイクルを所定のデューティ・サイクルに修正してデューティ・サイクル修正済み入力信号を生成するステップと、

出力信号の位相が前記入力信号の位相より進んでいるか、それとも遅れているかを検出する2進位相出力信号を生成するステップと、

デューティ・サイクル修正済み入力信号の移相を位相検出器の2進出力信号によって示される移相方向へ実行して前記出力信号を生成するステップと、

出力信号の位相が、位相検出器の2進出力が平均で時間の50%だけ最初の状態の信号となるように入力信号の位相の周りでディザすることとを特徴とする方法

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**


---

**[Claim(s)]**

1. It is Circuit Which Generates Output Signal by Predetermined Timing Relationship with Input Signal. Duty cycle amendment amplifier which is combined so that said input signal may be received, amends the duty cycle of the input signal to a predetermined duty cycle, and generates the input signal amended [ duty cycle ], The phase detector which generates the output signal which shows whether the phase of an output signal is progressing rather than the phase of an input signal unitedly so that said input signal and said output signal may be received, or it is behind, The charge pump which is combined so that the output of phase detector may be undergone, and generates the output current, It is combined so that the input signal amended [ duty cycle ], the output signal from a phase detector, and the output current from a charge pump may be received, and the phase shift of the input signal amended [ duty cycle ] is performed in the direction of a phase shift shown by the phase detector, and it is an output signal. It generates and has the phase shifter driven according to the output current of a charge pump. Circuit characterized by the phase of an output signal carrying out a dither around the phase of an input signal so that the output of a phase detector may average and it may become the signal of the first condition 50% of time amount.
2. It is Circuit Which Generates Output Signal by Predetermined Timing Relationship with Input Signal. The phase detector which generates the output signal which shows whether the phase of the output signal is progressing rather than the phase of an input signal unitedly so that said input signal and said output signal may be received, or it is behind, The charge pump which is combined so that the output of said phase detector may be undergone, and generates the output current, As if it is combined with charge pump and it is shown that a circuit is in acquisition mode which functions as obtaining the timing relationship of the request between an input signal and an output signal, both The boost-control signal with which said charge pump generates the bigger output current when it is in the 1st condition which shows that a circuit is in the acquisition mode, It is combined so that input signal, the output signal from a phase detector, and the output current from a charge pump may be received. Perform the phase shift of an input signal in the direction of a phase shift shown by the phase detector, and an output signal is generated. It has the phase shifter driven according to the output current of a charge pump. The circuit characterized by stopping the jitter in a circuit to the minimum by making the current outputted with a charge pump increase when circuit is in acquisition mode, and maintaining a current output on lower level when a circuit is not in acquisition mode.
3. It is the Approach of Generating Output Signal Which Has Predetermined Timing Relationship with Input Signal. The step which amends the duty cycle of said input signal to a predetermined duty cycle, and generates the input signal amended [ duty cycle ], The step which generates the phase output signal which shows whether the phase of output signal is progressing rather than the phase of said input signal, or it is behind, Step which generates current The step which drives according to the current, performs the phase shift of the input signal amended [ duty cycle ] in the direction of a phase shift shown by the phase detector, and generates said output signal, The approach characterized by the phase of output signal carrying out a dither around the phase of an input signal so that the output of a phase detector may

serve as a signal of the first condition 50% of time amount on an average.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

### [Detailed Description of the Invention]

Delay lock loop formation Field of background 1. invention of invention This invention relates to the circuit which generates periodic signals, such as a clock signal. This invention relates to a detail at a delay lock loop formation.

2. Technical background Many high-speed electrical systems have the serious requirements for timing about the need of generating the periodic clock waveform which has a strict time relation over a certain reference signal. The phase locked loop which uses a voltage controlled oscillator (VCO) conventionally (PLL)

It was used and the desired clock signal is given. the example of PLL -- the -- it is shown in 1a Fig. However, PLL of the VCO base has the property which is not desirable as for some. For example, in order to gain the timing relationship of the request needed repeatedly [ of the multiple times of the signal through PLL ], it takes time amount in many cases for time amount required to drive VCO to a right frequency (typically several 100- thousands clock cycles). Furthermore, especially the thing for which VCO which has sufficient power-source refusal property is designed is difficult in case a circuit is carried out with CMOS. It is because the supply voltage used in such a circuit is designed with the still lower value in order to save power. An alternative PLL circuit is a delay lock loop formation (DLL) which generates an output signal after desired delay from an input-reference signal. the -- a block diagram is shown in 1b Fig.

Outline of invention Therefore, the purpose of this invention is offering the delay lock loop formation which makes a voltage controlled oscillator (VCO) unnecessary, obtains a power-source induction jitter quickly, and stops it to the minimum. Other purposes are offering DLL which does not have the phase shift range restricted.

In the circuit of this invention, a phase detector compares the phase of the output of a delay lock loop formation (DLL) with the phase of a reference input. The output of a phase comparator is a binary signal which drives the differential charge pump which functions as it being shown whether the output signal of DLL is progressing rather than the reference input signal or it is behind, and integrating with a phase comparator output signal with time.

It comes out. A charge pump output controls the phase shifter to which the output of a phase comparator adjusts the phase of a DLL output so that only 50% of time amount may be in a certain condition, for example, a high state, on an average. A phase detector output is the signal with which only 50% of time amount has the time relation of the request to a reference clock input independently of temperature, supply voltage, and a process on an average as for the output of DLL since DLL adjusts a phase shifter until it will be in a certain condition. For example, with 1 operation gestalt, DLL can be used and the sampling clock to the data receiver in other locations in a system can be generated. In such a case, a duplicate data receiver is used as a phase detector. With an alternative implementation gestalt, a rectangular phase detector is used and the output clock which intersects perpendicularly with a reference clock input is generated. This can be used and timing required to send an output signal can be generated.

With 1 operation gestalt of DLL of this invention, an arrival-of-the-mail clock signal is first processed through the duty cycle collector which generates the output clock waveform which has a duty cycle 50% independently of an input duty cycle. Subsequently to a phase shifter, the signal amended [ duty cycle ] is inputted. The 2nd duty cycle collector is used by option, and it is the output signal of a phase shifter. It can process and the duty cycle strain generated for a phase shifter, the buffer amplifier which continues after that, or its both can be compensated. This operation gestalt contains further the phase shifter which does not have the range restricted.

This operation gestalt also includes preferably the circuit which stops a jitter to the minimum. For example, it is the one approach of shortening acquisition time amount to make the current to the charge pump in a circuit increase. However, the amount of the jitter generated also increases as a current increases. In order to shorten acquisition time amount, without generating an excessive jitter, DLL includes the circuit which generates the boosted charge pump current alternatively. It is only the inside of the acquisition process to which a signal synchronizes with criteria that the boosted charge pump current is generated. When it is not an acquisition process, in order to decrease the amount of the jitter generated, a current is made fewer than the boosted amount. A control signal is used in order to tell the start of acquisition, and an end, therefore it controls the amount of the current input to a charge pump. Therefore, during the non-gaining phase of a process, a current decreases and a jitter is stopped to the minimum by it.

Easy explanation of a drawing The purpose, the description, and advantage of this invention will become clear to this contractor, if the following detailed explanation is read.

the -- 1a Fig. is drawing showing the phase locked loop of the conventional technique.

the -- 1b Fig. is drawing showing the delay lock loop formation of the conventional technique.

Fig. 2 is drawing showing 1 operation gestalt of the delay lock loop formation of this invention.

the -- the [ 3a Fig. and ] -- 3b Fig. is drawing showing the operation gestalt of the rectangular phase detector used with the operation gestalt of the delay lock loop formation of this invention.

Fig. 4 is drawing showing 1 operation gestalt of the duty cycle amendment amplifier used with 1 operation gestalt of the delay lock loop formation of this invention.

the -- the [ 5a Fig. and ] -- the [ 5b Fig. and ] -- 5c Fig. is drawing showing 1 operation gestalt of the phase shifter used with 1 operation gestalt of the delay lock loop formation of this invention.

the -- the [ 6a Fig. and ] -- 6b Fig. is drawing showing 1 operation gestalt of the charge pump used with 1 operation gestalt of the delay lock loop formation of this invention.

the -- the [ 7a Fig. and ] -- 7b Fig. is drawing showing the delay lock loop formation of this invention which has the compensation phase detector used with a data receiver.

Fig. 8 is a block diagram of the alternative implementation gestalt of the delay lock loop formation of this invention with which the control voltage to the differential charge pump which controls a differential charge pump by the phase detector, the digital filter, and the digital to analog converter using alternative acquisition criteria is generated.

Detailed explanation By the following explanation, on explanation, in order to let you understand this invention completely, many details are indicated. However, it will become clear that such a specific detail is not needed for this contractor when carrying out this invention. In other examples, well-known electric structure and a well-known circuit are shown that it does not make this invention ambiguous superfluously with the block graphic form.

The delay lock loop formation (DLL) of this invention offers DLL which uses the phase shift element which brings about the phase shift adjusted continuously. Furthermore, DLL of this invention has the outstanding jitter property acquired at a high speed by the minimum jitter.

The block diagram with which 1 operation gestalt of DLL was simplified is shown in Fig. 2. Clock signal

Which reference signal is inputted into the duty cycle amendment amplifier 100 and a phase detector 110. A phase detector 110 compares the phase of the output signal of a delay lock loop formation with the phase of a reference signal input. A reference signal input expresses the signal which should be amended using DLL. Preferably, a phase detector 110 is a phase comparator, the output of a phase

detector is a high when the phase of feedback clocked into, i.e., the output of DLL, is progressing rather than the phase of a reference clock input, and when feedback clocked into is behind the reference clock input, it is a binary signal which is a low. Instead, a phase detector generates a low output, when the phase of feedback clocked into is progressing rather than the phase of a reference clock input, and when feedback clocked into is behind the reference clock input, it can constitute it so that a high output may be generated. the charge pump 120 which functions as the output of a phase detector integrating with a phase comparator output signal with time -- a differential charge pump is driven preferably. The output of the charge pump 120 controls the phase shifter 130. The phase shifter 130 adjusts the phase of the reference signal with which the output of a phase comparator was inputted into the duty cycle amendment amplifier 100 so that only 50% of time amount might become a high on an average. DLL generates an output signal by delaying an input signal. Only in 50% of time amount, the phase contrast detected between a reference signal and the output signal of DLL serves as progress, and to desired relation, an output signal progresses and is only in 50% of time amount so that it may become delay and the average phase relation corresponding to the timing relationship of the request between an output signal and a reference input signal may be brought about.

However, an input-clock signal has a possibility of having a bad influence on the engine performance of DLL, by generating an output signal by delaying an input-clock signal. Specifically, fluctuation of the duty cycle of an input signal to criteria, for example, 50% duty cycle, affects the engine performance of DLL. On the other hand, PLL of a conventional type is not influenced mainly of the duty cycle of a terminating signal. In order to suppress this problem to the minimum, the duty cycle amendment amplifier 100 is used. The duty cycle amendment amplifier 100 generates the output signal which has a duty cycle for an input signal 50% independently of reception and an input signal duty cycle. The output of the duty cycle amendment amplifier 100 is inputted into the phase shifter 130. The 2nd duty cycle amendment amplifier 140 can be used, and the duty cycle strain over the signal produced for a phase shifter or the buffer amplifier 150 which continues after that can be compensated with option. A buffer amplifier 150 restores a signal to the full rail which functions as a signal output of a circuit.

DLL of this invention does not use proportional control, namely, the output of a phase detector is not proportional to extent of a phase error. Instead, DLL is built so that the phase of a DLL output signal may actually carry out a dither around a desired value. Since a dither is a kind of jitter, it is desirable by, for example, choosing a small ratio with suitable charge pump current and integral capacity to stop a jitter to the minimum by choosing so that the amount of the phase correction per clock cycle may become small enough. Since acquisition time amount, i.e., time amount required to obtain the relation of the request between a DLL output signal and a reference signal, becomes longer as the current used for a regrettable thing decreases, even if it stops a jitter to the minimum, acquisition time amount does not become the minimum.

Therefore, in order to shorten acquisition time amount, without generating too much dither jitter, it is desirable to include the circuit where DLL boosts a charge pump current at the time of acquisition. An acquisition rate increases by boosting a charge pump current at the time of acquisition. However, when it is not at the acquisition time, the amount of the jitter generated is stopped by maintaining a current to the minimum value to the minimum. In order to boost a charge pump current at the time of acquisition, by it, the boost-control signal 160 is used, and acquisition mode begins, and an end is told, when it is not in acquisition mode, a charge pump current is decreased [ a charge pump current is made to increase at the time of acquisition mode, ], and a dither jitter is stopped by it to the minimum. Instead, it is controllable by not the external control signal shown in Fig. 2 but the DLL circuit itself to make an acquisition rate into max. For example, a DLL circuit can include the logic device which judges whether deviation from a reference clock should make how that became large, i.e., a charge pump current, increase, and should make an acquisition rate increase from a predetermined value. If desired timing relationship is attained, a logic device will return a charge pump circuit to a low jitter value.

As mentioned above, a phase detector functions as judging the phase contrast between an input signal and the signal outputted from DLL. The phase detector used is a rectangular phase detector, and makes the output signal (it has 90-degree phase shift) which intersects perpendicularly with an input signal at



DLL generate with 1 operation gestalt. an instantiation migration detector -- the -- the [ 3a Fig. and ] -- it is shown in 3b Fig.

the -- 3a Fig. shows 1 operation gestalt of the rectangular phase detector 10 which detects the rectangular phase error between two input signals which have a rectangular phase relation and have each different electrical-potential-difference swing property. the -- 3b Fig. shows the alternative implementation gestalt of the rectangular phase detector 40 which stops the phase detection error induced by parasitic capacitance to the minimum.

the -- a phase detector 10 contains a transistor 11-14 and 19-21 so that it may turn out that 3a Fig. is referred to. With 1 operation gestalt, a transistor 11-14 and 19-21 are MOSFETs, and are the thing of a CMOS configuration. With other operation gestalten, an N-channel metal oxide semiconductor FET transistor or a P channel MOSFET transistor is sufficient as a transistor 11-14 and 19-21. Other devices, such as a bipolar transistor, can be used with an alternative implementation gestalt.

As shown in drawing, a transistor 11-14 is a P channel transistor, and is connected as a current source transistor between supply voltage VDD and nodes 15 and 16. Instead, an N channel transistor or a bipolar transistor is sufficient as a transistor 11-14.

Both the transistors 11-14 constitute the load of a phase detector 10. A transistor 11-14 brings about the low common mode resistance to the high differential impedance between a node 15 and a node 16, and a node 15-16 from a power source VDD. The transistor 11-12 by which diode connection was made works as low common mode resistance between a power source VDD and a node 15-16. A transistor 11-12 also constitutes the forward differential load resistance between a node 15 and a node 16. A transistor 13-14 constitutes the negative differential load resistance between a node 15 and a node 16. Negative differential load resistance negates forward differential load resistance. Consequently, both the transistors 11-14 bring about high differential load resistance between a node 15 and a node 16.

Connection of a transistor 11-14 is explained below.

The load circuit of other types can be used for instead of between the power source VDD in a phase detector 10, and a node 15-16. The load formed with a transistor 11-14 may be the high differential impedance load circuit of other classes of arbitration.

The drain of a transistor 11-14 is connected to a node 15, and the drain of transistors 12 and 13 is connected to a node 16. The gate of each transistor 11-12 is combined with the drain. Moreover, the gate of a transistor 13 is connected to the gate of a transistor 11, and the gate of a transistor 14 is connected to the gate of a transistor 12. Since the gate of a transistor 11 and the gate of a transistor 13 are connected and the gate of a transistor 12 and the gate of a transistor 14 are connected, a transistor 13 carries out the mirror of the current in a transistor 11, and a transistor 14 carries out the mirror of the current in a transistor 12. In other words, a transistor 11 and a transistor 13 constitute a current mirror, and a transistor 12 and a transistor 14 constitute another current mirror. Reception and differential current are not generated in the current of the amount with each almost same node 15-16 by carrying out the mirror of the current which flows the inside of a transistor 11 to a node 16, and carrying out the mirror of the current which flows the inside of a transistor 12 to a node 15. Therefore, since the negative differential load resistance generated by the transistor 13-14 negates the forward differential load resistance generated by the transistor 11-12, a transistor 11-14 brings about high differential load resistance. The dimension of a transistor 11-14 is almost the same so that the negative differential load resistance generated by the transistor 13-14 may negate the forward differential load resistance generated by the transistor 11-12 with 1 operation gestalt.

A node 15-16 forms the output of a phase detector 10. A capacitor 17 is connected between a ground and a node 15, and a capacitor 18 is connected to a node 16 and a ground. With 1 operation gestalt, a capacitor 17 and a capacitor 18 have an almost equal capacity. As shown in drawing, capacitors 17 and 18 contain the parasitic capacitance of the transistor 11-14 in a node 15-16, respectively. Capacitors 17 and 18 can be prevented from instead including the parasitic capacitance of the transistor 11-14 in a node 15-16, respectively.

A node 15 is further connected to the drain of a transistor 19, and a node 16 is further connected to the drain of a transistor 20. The source of a transistor 19-20 is connected to a node 23. Subsequently to the

drain of a transistor 21, a node 23 is connected. The source of a transistor 21 is connected to a ground through a current source 24. The gate of a transistor 19 receives an input signal VIN2. The gate of a transistor 20 receives an input signal VREF. The gate of a transistor 21 receives an input signal VIN1. A transistor 19-21 is an N channel transistor. Instead, a P channel transistor or a bipolar transistor is sufficient as a transistor 19-21. With 1 operation gestalt, a transistor 19 has a dimension almost equal to the dimension of a transistor 20.

In this argument, VIN1 signal has all CMOS electrical-potential-difference swings. VIN2 signal is a small electrical-potential-difference swing signal which has VIN1 and a rectangular phase relation and vibrates almost symmetrically around VREF reference voltage (namely, constant DC reference voltage). Therefore, VIN2 signal is called a semi- differential signal. Therefore, it turns out that VIN2 signal and a VREF signal are not complementary.

Instead, VIN2 signal is a small swing all differential signal, and is swung between a Vhigh electrical potential difference and a Vlow electrical potential difference. In this case, a VREF signal is compensated with VIN2 signal. If in other words the gate of a transistor 19 receives a Vhigh electrical potential difference, the gate of a transistor 20 will receive a Vlow electrical potential difference.

A transistor 19-21 detects the rectangular phase error of VIN1 input signal and VIN2 input signal. It is desirable to make VIN1 signal and VIN2 signal rectangular phase relation. a rectangular phase error -- generating (that is, desired rectangular phase relation not having been attained) -- a phase detector 10 detects this condition by generating the net differential voltage between nodes 15-16 (namely, the output VOUT) to the end of each measurement cycle.

The voltage level of the net differential voltage between nodes 15-16 is the function of the amount of the rectangular phase error between VIN1 input signal and VIN2 input signal. A phase detector 10 does not generate the net differential voltage between nodes 15-16 to the end of a detection cycle, when a rectangular phase error is not detected.

A phase detector 10 also contains the transistor 22 combined between the node 15 and the node 16. A transistor 22 is an N-channel metal oxide semiconductor FET transistor.

Instead, a P channel MOSFET transistor or a bipolar transistor is sufficient as a transistor 22. A transistor 22 is used as an identification transistor within a phase detector 10. A transistor 22 makes zero electrical-potential-difference differential between nodes 15-16, when transistor 22 the very thing conducts current before the measurement cycle was started. A transistor 22 is changed to ON or OFF by the VEQ signal. If ON actuation of the transistor 22 is carried out by the VEQ signal, a node 15 and a node 16 will be connected through a transistor 22, and identification of the electrical potential difference in a node 15-16 will be carried out. Preferably, a VEQ signal is a periodic signal and is generated before all the pulses of VIN1 signal. A VEQ signal helps to equalize the electrical potential difference between nodes 15-16, in order to start a detection cycle. Instead, the pulse cycle of a VEQ signal is generated whenever N-1 pulse of VIN1 signal occurs.

Next, actuation of a phase detector 10 is explained. A transistor 21 connects Current I to a current source 24 from a node 23, when VIN1 signal is a high VDD electrical potential difference.

Since it connects with the current source 24, a transistor 21 passes only the amount of Current I at the time of electric conduction. VIN1 signal controls the start of each detection cycle. When the voltage level of VIN1 signal rises on a VDD electrical potential difference, a detection cycle is surely started. The voltage level of VIN2 is higher than the voltage level of a VREF electrical potential difference, and when VIN1 signal is a VDD electrical potential difference (from time amount t1 up to time amount t2), a transistor 19 conducts current in many currents rather than a transistor 20. Therefore, a transistor 19 gives almost all I currents to a node 23. Since nodes 15 and 16 receive the current of the almost same amount from the load component formed with the transistor 11-14, respectively, when the transistor 19 and the transistor 20 are not passing the same quantity of the current to a node 23, the electric charge of the capacitor 17 is carried out so that it may differ in a capacitor 18. In this case, differential voltage is generated for charging a capacitor 18, while the capacitor 17 is discharging in between, therefore differential voltage is generated with the output VOUT of a phase detector 10. The differential voltage in an output VOUT increases to linearity among time amount with the electrical potential difference of

VIN2 signal higher than VREF reference voltage.

The voltage level of VIN2 signal is lower than the voltage level of a VREF electrical potential difference, and when VIN1 signal is a VDD electrical potential difference (from time amount t2 up to time amount t3), a transistor 20 gives almost all I currents to a node 23. For this reason, a capacitor 17-18 is charged by the ununiformity. In this case, a capacitor 17 can be charged while the capacitor 18 is discharging. For this reason, the differential power in the output VOUT of a phase detector 10 falls to linearity.

If the voltage level of VIN1 signal becomes a ground, the differential voltage in output VOUT will stop change. When VIN1 signal and VIN2 signal intersect perpendicularly completely, the differential voltage between nodes 15-16 approaches linearity at zero, and when VIN1 signal becomes a ground, net differential voltage is not generated with the VOUT output of a phase detector 10. However, VIN1 signal

When a rectangular phase error exists between VIN2 signals, net differential voltage is generated by the end of a phase detection cycle between nodes 15-16. The net differential voltage between nodes 15-16 is proportional to the amount of a rectangular phase error mostly.

Preferably, the output VOUT of a phase detector 10 is connected to a comparator 39, and a binary rectangular cross phase error output is generated. A binary rectangular cross phase error output is also generable using other circuits.

However, by the above-mentioned explanation about the rectangular phase error detection of a phase detector 10, it is the parasitic capacitance 25 (and other capacity in a circuit) of the transistor 19-21 in a node 23.

The desirable situation that \*\*\*\*\* is disregarded is assumed. Since a transistor 21 is used as a switch, the parasitism capacitor 25 contains the parasitic capacitance between the source of a transistor 21, and a ground.

Since the parasitism capacitor 25 exists in the circuit of a phase detector 10, a phase detector 10 generates net differential voltage with the output VOUT of a circuit to the end of a detection cycle, even when VIN1 signal and VIN2 signal are in perfect orthogonality relation.

the -- the operation gestalt shown in 3b Fig. loses the net differential voltage generated with the output of a circuit for parasitic capacitance. the -- a phase detector 40 contains the transistor 41-44 connected between a power source VDD and nodes 45 and 46 so that it may turn out that 3b Fig. is referred to.

Connection and the function of the transistor 41-44 in a phase detector 40 are the same as connection and the function of the transistor 11-14 of the phase detector 10 of the 3rd the a Fig.

A node 45 is connected to a capacitor 47 and a capacitor 48 is connected to a node 46. The capacity of a capacitor 48 is almost equal to the capacity of a capacitor 47. Subsequently a node 45-46 is connected to the 1st circuit formed with the transistor 49-51, and the 2nd circuit formed with the transistor 52-54.

Subsequently to a circuit 60, transistors 51 and 54 are connected. the -- as shown in 3b Fig., a circuit 60 includes fundamentally the 1st current source which gives the 1st current I1 through a transistor 51, and the 2nd current source which gives the 2nd current I2 through a transistor 54. Both I1 current and I2 currents are generated and collected according to an IBIAS current.

60 generates I1 current and I2 current. The value of I2 current is smaller than the value of I1 current. With 1 operation gestalt, the value of I2 current is the range of 20%-30% of I1 current. With an alternative implementation gestalt, the value of I2 current may be larger than 20%-30% of I1 current, or may be small.

With 1 operation gestalt, a transistor 49-51 and 52-54 are N-channel metal oxide semiconductor FET transistors. With an alternative implementation gestalt, a P channel MOSFET transistor or a bipolar transistor is sufficient as a transistor 49-51 and 52-54. With 1 operation gestalt, the dimension of each transistor 52-53 is almost equal to the dimension of each transistor 49-50, and the dimension of a transistor 54 is almost equal to the dimension of a transistor 51.

A transistor 49 is connected to a node 45 and a node 55. A transistor 50 is connected to nodes 46 and 55.

A transistor 51 connects a node 55 to a ground through the current source I1 formed in the circuit 60.

Similarly, a transistor 52 is connected to a node 46 and a node 56. A transistor 53 is connected to nodes

45 and 56. A transistor 54 connects a node 56 to a ground through the current source I2 formed in the circuit 60. Each gate of transistors 51 and 54 receives VIN1 signal. Each gate of transistors 49 and 52 receives VIN2 signal, and each gate of reception and transistors 50 and 53 receives a VREF signal. . The parasitism capacitor 57 is connected to a node 55 and a ground, and the parasitism capacitor 58 is connected to a node 56 and a ground. In parasitism KYAPANTA 57, the parasitism capacitor 58 contains the parasitic capacitance of the transistor 52-54 in a node 56 including the parasitic capacitance of the transistor 49-51 in a node 55. The parasitism capacitor 57 contains other parasitic capacitance in a circuit. Since a transistor 51 is used as a switch, the parasitism capacitor 57 contains the parasitic capacitance between the source of a transistor 51, and a ground. Similarly, the parasitism capacitor 58 contains other parasitic capacitance in a circuit. Since a transistor 54 is used as a switch, the parasitism capacitor 58 contains the parasitic capacitance between the source of a transistor 54, and a ground. A transistor 49-51 detects the phase error of VIN1 signal and VIN2 signal. A transistor 52-54 negates the net differential voltage in output VOUT of the phase detector 40 for the parasitism capacitor 57 in a circuit. As mentioned above, each transistor 52-53 has a dimension almost equal to the dimension of each transistor 49-50. Therefore, the capacity of the parasitism capacitor 58 is almost equal to the capacity of the parasitism capacitor 57. Canceling mutually the additional error current generated in a circuit for the parasitism capacitor 57-58 for the negative cancellation effectiveness of a transistor 52-54, a phase detector 40 does not experience the net differential voltage generated with the output VOUT of a circuit for the parasitic capacitance of a circuit. Since the capacity of the parasitism capacitor 57-58 is almost equal, the additional error current relevant to the parasitism capacitor 57-58 is also almost equal. However, cross connection of a transistor 49-50 and 52-53 is carried out so that each contribution may reduce each other. For this reason, an additional error current is canceled mutually. For this reason, a phase detector 40 detects the rectangular phase error of VIN1 signal and VIN2 signal by the minimum phase detection error.

Next, actuation is explained. When ON actuation of the transistor 51 is carried out by logic high VIN1 signal, the current which does not \*\*\*\*\* the voltage level in a node 55 immediately, therefore flows the inside of a transistor 51 exceeds a current I1, and an additional error current is generated. At this time, since the voltage level of VIN2 signal is higher than a VREF electrical potential difference, this additional error current flows the inside of a transistor 49, therefore a capacitor 47 carries out additional discharge. In the meantime, by logic high VIN1 signal, since ON actuation also of the transistor 54 is carried out, the voltage level in a node 56 is not \*\*\*\*\* (ed) immediately, but the additional error current which flows the inside of a transistor 54 is also generated. At this time, since the voltage level of VIN2 signal is higher than a VREF electrical potential difference, an additional error current flows the inside of a transistor 52, therefore a capacitor 48 carries out additional discharge. Since the capacity of the parasitism capacitor 57 is equal to the capacity of the parasitism capacitor 58, the additional error current which flows the inside of a transistor 52 is almost equal to the additional error current in a transistor 49. When a transistor 52 is connected to a node 46 and a transistor 49 is connected to a node 45 to this, the additional error current generated by the transistor 52 negates the additional error current generated by the transistor 49.

When the voltage level of VIN2 signal is lower than the voltage level of a VREF electrical potential difference, there are much few amounts of the current on which a transistor 49 conducts current than the amount of the current on which a transistor 50 conducts current, and there are much few amounts of the current on which a transistor 52 conducts current than the amount of the current on which a transistor 53 conducts current. The voltage level out of which nodes 55 and 56 come, respectively at this time falls. By this, the parasitism capacitors 57 and 58 discharge and the current which flows the inside of a transistor 50 and 53 decreases, respectively. An additional error current flows to a capacitor 48 through a transistor 50, it flows also to a capacitor 47 through a transistor 53, and additional charge of the capacitors 47 and 48 is carried out by this, respectively. A transistor 50 is connected to a node 46, a transistor 53 is connected to a node 45, and when the additional error current in a transistor 50 and the additional error current in a transistor 53 are almost equal, the additional charge of capacitors 47 and 48 through which it passes, respectively is canceled mutually.

Moreover, it does not change, therefore an additional error current flows to the parasitism capacitor 51 through a transistor 50, and the voltage level out of which nodes 55 and 56 come, respectively immediately after carrying out off actuation of the transistors 51 and 54 with VIN1 signal for the parasitism capacitors 57 and 58 flows also to the parasitism capacitor 58 through a transistor 53. According to an additional error current, capacitors 47 and 48 carry out additional discharge, respectively. Since the capacity of the parasitism capacitor 57 is almost equal to the capacity of the parasitism capacitor 58, the additional error current which flows the inside of a transistor 50 is almost equal to the additional error current which flows the inside of a transistor 53. When a transistor 50 is connected to a node 46 and a transistor 53 is connected to a node 45, an additional error current is canceled mutually.

By doing so, with an output VOUT, the net differential voltage for the parasitism capacitor 58 is not generated, but a phase detector 40 detects the rectangular phase error of VIN1 signal and VIN2 signal by the minimum detection error. The VOUT output of a phase detector 40 is connected to a comparator 39, and a binary rectangular cross phase error output is generated. Instead, a binary rectangular cross phase error output is also generable using other circuits.

A duty cycle amendment amplifier circuit outputs the periodic output signal containing an amended duty cycle by using reception and active duty cycle amendment for the periodic input signal which has an imperfect duty cycle. With 1 operation gestalt, this circuit generates the middle signal current which reflects reception and a non-amended input signal for a non-amended period input signal. This middle signal current is totaled with the amendment current which offsets the signal current. The totaled current is inputted into integral capacity. The electrical potential difference between integral capacitors is clamped by the finite value. as for capacity and clamp voltage, the electrical potential difference between capacitors changes to linearity mostly covering most periods of an input signal -- it is chosen like (namely, through limitation). Subsequently a through limit clamp voltage signal drives the amplifier which reproduces a rectangular wave as an output mostly. By changing the amount of an amendment current, the non-amended input signal which has a nonlinear ramp input (for example, rather the standup and falling of a signal of an ununiformity) can be corrected so that it may have a linearity input, and it can change over the range which receives constraint of a part of period mainly governed by the through process in the reproduced wave-like duty cycle.

One operation gestalt of duty cycle amendment amplifier is shown in Fig. 4. Amplifier receives the non-amended input signal IN 1+110, IN 1-115 and error value error+125, and error-120 as an input. An error signal is generated by the duty cycle error measuring circuit which measures a duty cycle error. The outputs of this circuit are the amended differential clock signals 150 and 155. This circuit consists of two operation transconductance amplifier (OTA) connected in parallel. The non-amended clock signal inputs 110 and 115 drive transistor pair M3 and M4. The gain of transistors M3 and M4 is an input signal so that almost all bias current I1BIAS(s) 130 may flow the inside of a transistor M3 and M4 by turns.

According to \*\*\*\*\*, it is made high enough. The duty cycle error signals 120 and 125 are generated by the duty cycle error measuring circuit, and drive transistor pair M1 and M2. Subsequently the generated output current is added to the current generated by transistors M3 and M4. Inverters Inv1 and Inv2 Preferably, 160 and 165 are ideal infinity gain inverters, when a predetermined threshold crosses, the output of an inverter changes a condition, therefore they help formation of a square wave output. The outputs of OTA are common drain connection of transistors M8 and M10 and a node 170, and common drain connection of transistors M5 and M9 and a node 175. Preferably, bias current I1BIAS, I2B one A130, and 140 are chosen combining the capacity relevant to common drain connection and clamp voltage (with this operation gestalt, clamp voltage is almost equal to supply voltage VDD), a desired through limit property is given, and the duty cycle of an input signal is amended. Instead another capacity component can be used and an integral-capacity function can be offered. Furthermore, the big operating current or an explicit additional capacity may be needed rather than a noise, the jitter engine performance, etc. were connected to the OTA outputs 170 and 175 for the point that others should be taken into consideration. Therefore, subsequently to the OTA outputs 170 and 175 an explicit additional

capacity is connected, and a required through limit property is given. For example, a capacitor is connectable between nodes 170 and 175 and the drain node of transistors M9 and M10. Instead, the capacitor component of another object is connectable between a node 170 and a ground and between a node 175 and a ground.

the -- 5a Fig. shows the phase shifter of 1 operation gestalt of this invention. This phase shifter gives the infinity phase adjustment range using phase mixing. Phase mixing includes mixing two middle signals of the phase contrast drawn from the input signal. With this operation gestalt, middle signals are four rectangular middle signals, and have relative topology alignment (0 degree, 90 degrees, 180 degrees, and 270 degrees). An output signal has the phase always located in the quadrant of the phase flat surface by which boundary attachment was carried out by two of four middle signals. Phase mixing multiplies by each middle signal with which the phase of an output signal carries out boundary attachment of the quadrant arranged by the weight function, and is performed by totaling a result.

The phase shifter 560 contains a delay circuit 510, the phase interpolator 580, and the phase selector 562. A delay circuit 570 outputs four middle signals used by the phase interpolator 580 through the signal circuit 575 in a phase mixing process. With this operation gestalt, a delay circuit outputs preferably the middle signal which has relative topology alignment (0 degree, 90 degrees, 180 degrees, and 270 degrees). The fixed delay produced as a result of a delay circuit 570 and the phase interpolator 580 is removed from an output signal by the phase shifter 560 which is the component of the feedback loop.

By one method of giving a rectangular middle signal, a delay circuit needs to perform a frequency-division operation to an input signal so that the frequency of a middle signal may drop to 1/2 of an input frequency. the case where this approach is enforced -- the -- the output signal, with which only 90 degrees of phases shifted from XOR gate 640 to the phase of the output of the phase interpolator 610 as shown in 5c Fig.

The phase shifter of the 5th the a Fig. is correctable so that the 2nd phase interpolator 620 which \*\*\*\* may be included. The output of both phase interpolators 610 and 620 is an input to XOR gate 640 which functions as doubling a frequency so that the output frequency of a phase shifter may become equal to an input frequency.

The phase interpolator 620 receives a rectangular middle signal through the signal circuit 615. Phase mixing of the middle signal is carried out, and the output signal which has the phase shift of the request which answered the phase selection signal received from the phase selector 630 through the differential control voltage signal VC and the signal circuit 625 which were received through the signal circuit 635, and was obtained from the input signal is generated by the signal circuit 655. Although this invention is not restricted such, for acquiring the improved power source noise refusal property, a differential control signal and its circuit are desirable. The phase selector 630 chooses two of four middle signals which should be used in order to answer the binary phase inclination signal which is given by the differential control voltage signal VC and the phase detector, and is received through the signal circuit 645 and to perform phase mixing. A phase inclination signal shows whether the phase shift of the phase shifter 600 must be made to increase, or it must be made to decrease. The control signal circuit 637 from the phase selector 630 is used, the sense of the charge pump 120 (Fig. 2) is reversed by turns by each quadrant, and the finite control voltage range can be made to be able to respond to a phase shift (modulo2pi).

the -- 5b Fig. shows 1 operation gestalt by which the phase interpolator was simplified. a phase interpolator -- a differential n channel field-effect transistor (FET) -- an opposite -- 502 and 503 are included. Differential control voltage VC+ and VC- are combined with the gate of FET 502 and 503, respectively. It reaches differential pair 502 and 503 sends differential current to branching 506 and 507 under control of VC+ and VC- with the fixed current sources 504 and 505.

With the operation gestalt of drawing, it can be fewer than the current given according to a current source 501, therefore, as for the current given by 504 and 505, branching 506 or branching 507 can also bring about zero current by finite differential (VC+-VC-), respectively.

The value of the differential control voltage VC determines the amount of the current to which the inside of the right half of a phase interpolator and a left half is sent. The current under branching 506 is equal



to the difference of the current supplied from a current source 504, and the drain current of FET502. Similarly, the current under branching 507 is equal to the difference of the current supplied from a current source 505, and the drain current of 503. When VC is equal to VMAX, FET502 is completely changed to ON by VC+ differential control voltage, therefore FET502 conducts current in almost all the currents from a current source 501. Negative differential control voltage Vc- is negative, therefore FET503 does not conduct current. This means that a current flows the inside of branching 507 and the inside of branching 506 does not flow. When VC is equal to VMIN, almost all the currents given according to a current source 501 flow the inside of FET503. Therefore, a current flows the inside of branching 506 and does not flow in branching 507. In control voltage-level VC between VMAX and VMIN, a current can flow in both branching 506 and the branching 507.

Capacitors 590 and 595 are charged using the current in the right half of a phase interpolator, and a left half. Capacitors 590 and 595 are combined with the forward terminal and the forward negative terminal of a comparator 596, respectively. A comparator 596 works as a well-known ideal comparator by this technical field preferably. The phase mixer 550 answers the selection signal received through the signal circuit 525, and determines whether to combine capacitors 590 and 595 and branching 506 and 507, and to carry out joint discharge using two of four cadaveric position phase vectors of a throat. A middle signal is received through the signal circuit 515.

Although it is completely dependent on the 1st joint middle vector at first, it depends on the 2nd joint middle vector for the current which flows the inside of a capacitor 590 and 595 completely after that, as VC is changed. The relative amount of the current which flows into each vector is set up with the differential control voltage VC, and determines relative charge and the discharge rate of a capacitor. A comparator 596 outputs a logic high, when it detects that the electrical potential difference in a forward terminal just consisted of an electrical potential difference in a negative terminal. the electrical potential difference of capacitors 590 and 595 -- the time -- a strange wave -- it is -- since -- a comparator -- an output shows when the wave of two capacitors crosses. This crossing is changed by fluctuating the differential control voltage VC.

Although a current can be supplied to a phase shifter using the charge pump of the class of arbitration, it is desirable to use a differential charge pump. 1 operation gestalt of a differential charge pump -- the -- it is shown in 6a Fig. the -- with the operation gestalt shown in 6a Fig., a load is formed with four P channel MOS devices. Diode connection is made and transistors M3 and M6 are arranged in parallel with the transistors M4 and M5 by which cross connection was carried out. Transistors M3, M4, M5, and M6 are altogether constituted by the almost same dimension so that it can be used in a charge pump circuit. Integral capacity C1 is shown as a single device connected to the drain of the drive transistors M1 and M2.

It is assumed that the signal which drives the gate of the drive transistors M1 and M2 is the thing of the amplitude of sufficient magnitude to change all the currents 21 of a current source to integral capacity C1.

Both the devices M3 and M6 by which diode connection was made bring about forward differential resistance. The forward differential resistance itself brings about the leakage path which is not desirable as for integral capacity. In order to reduce this leakage, the current in M3 and M6 is negated by the function of transistors M4 and M5. It can be considered that this function is the function of negative resistance. Therefore, transistors M4 and M5 negate the leakage of M3 and M6 as follows.

Transistors M3 and M4 are equipped with a current mirror. If ideal actuation is assumed, these two devices will send the same current. Since the drain of devices M3 and M4 is connected to each opposite side of capacity, the net contribution by this connection to differential current is zero. If it says simply, the net differential resistance which the same theory also as the current mirror formed with transistors M5 and M6 is applied, therefore is brought about with transistors M3, M4, M5, and M6 will be ideally infinite, and only finite differential output resistance of drive pair M1 and M2 and the capacitor leakage of a proper will remain as a differential loss device.

However, it deviates from ideal actuation in fact for the inequality of a transistor. Therefore, it is more desirable to choose the value highest possible so that it may have small effectiveness as effective

resistance of the devices M3 and M6 by which diode connection was made rather than the imperfect denial by M4 and M5 is proportional to it. Since there is the cascode effectiveness of the proper to the current source by M1 and M2, the effectiveness of finite differential output resistance of M1 and M2 can usually be disregarded. A charge pump changes all the currents 21 to integral capacity with the control input signal of the forward and negative direction of either. For example, when carrying out ON actuation of M1 and carrying out off actuation of M2, a transistor M1 works as a cascode device for current sources (it is assumed that it realizes by the set of a transistor or a transistor), and boosts an effective impedance.

M2 is ON and this argument is symmetrically applied to the case where M1 is off. Therefore, the leakage brought about by M1 and M2 can be disregarded mostly. It is [ other advantages of this invention / the common mode output voltage of a charge pump / 1 source gate voltage of a P channel device ] lower than forward supply voltage.

Since common mode level cannot be made into what was widely different from the balanced active value when the disable of the charge pump is carried out by following, for example, intercepting a current source, recovery is comparatively quick.

the -- 6b Fig. shows the 2nd operation gestalt of the charge pump circuit of this invention. Alternation connection of integral capacity is used with this operation gestalt. In a certain kind of circuit, a great portion of area efficient capacity is formed with the gate structure of an MOS transistor. In order to make capacity into max and to avoid too much nonlinearity, the DC bias exceeding an about 1 threshold electrical potential difference is required of such a capacitor. A capacitor is divided into two equal capacitors and the bias criteria are filled with this operation gestalt by combining each capacitor with Vss. This operation gestalt filters a power-source (Vdd) noise by connecting each capacitor to Vss. The noise on the forward power source combined through a p channel load device is bypassed by the capacitor, and the amount of the noise passed to the following stage decreases sharply.

In order to perform an infinity phase shift using a charge pump including the finite control voltage range, a multiplexer 123 or a similar means is arranged ahead of a charge pump, and the direction of a charge pump is reversed by turns by each quadrant as this technical field is sufficient and it is known. The control signal which operates a multiplexer 123 is given by the phase shifter 130. For example, when DLL is not locked, a phase detector 110 outputs one of low constant signals with yes. A charge pump can continue making a current able to increase in this example until it reaches that maximum electrical-potential-difference value. Subsequently, the phase shifter 130 detects this condition, changes the quadrant in the phase shifter 130, and it changes the multiplexer located ahead of a charge pump so that an auxiliary input may be chosen. Decreasing a current is continued until it reverses a direction, and a phase lock is subsequently performed or a charge pump reaches other quadrant boundaries. Even when a charge pump continues outputting control voltage and the charge pump itself has the finite output range by this, the infinity phase shift range can be given.

the alternative implementation gestalt of the delay lock loop formation of this invention -- the -- it is shown in 7a Fig. DLL310, for example, the DLL circuit of Fig. 2, can be used, and the setup time of the data receiver 320 arranged at the remote section of the high-speed digital system with which input data signal transition is arranged between arrival-of-the-mail clock signal edges can be compensated with this operation gestalt. In this drawing, the data receiver 320 and the almost same data receiver function as phase detectors in DLL310. It corresponds to the sample clock signal by which timing was carried out so that DLL310 might sample an incoming data on a definition at the moment when the temperature, supply voltage, and process fluctuation of this condition are independently the optimal, since the output of a phase detector adjusted a signal using a phase shifter until only 50% of time amount becomes a high on an average. For example, when the setup time of the data receiver 320 is 1 nanosecond, a sample clock signal is delayed from an input-clock signal only for 1 nanosecond. Since the data receiver / phase detector of DLL310 are similarly changed with fluctuation of a process, temperature, and supply voltage when changing the setup-time value for 1 nanosecond with fluctuation of a process, temperature, and supply voltage, DLL310 compensates automatically.

other operation gestalten -- the -- it is shown in 7b Fig. DLL312 is used in order to generate a clock



signal and to send the data in a digital system. Specifically, data signal output transition can be strictly arranged between arrival-of-the-mail clock signal edges by DLL312. With this operation gestalt, the transmit-clock signal with which an arrival-of-the-mail clock signal edge and a phase cross at right angles is generated. Preferably, the rectangular phase detector of Fig. 3 is used as a phase detector element in DLL312. A transmit-clock signal is inputted into a data transmitter 322, and the timing of the data outputted from a system is controlled.

With an alternative implementation gestalt, the sequence of a digital filter or a phase comparator output can be investigated for the output of a phase detector, and it can input into other signal processors, such as a processor, a condition machine, etc. which enable the boost current for acquisition if needed, so that it may turn out that Fig. 8 is referred to. For example, when only the predetermined number of cycles is behind the phase of an input clock in the phase of a DLL output clock, it enables the boosted acquisition. It can follow, for example, binary retrieval can be performed to two or more comparator outputs in most common cases, and the corresponding boost current value which should be used can be calculated. This invention was explained in relation to the desirable operation gestalt. It is obvious that much modification, correction, deformation, and use become clear to this contractor in the light of the aforementioned explanation.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

[Drawing 1]

基準クロック  
入力

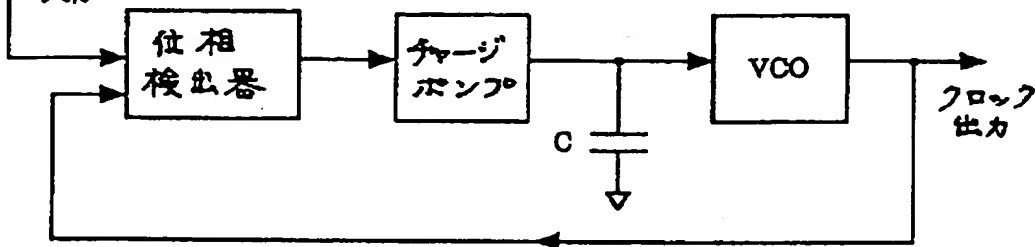


Figure 1a  
(従来技術)

基準クロック  
入力

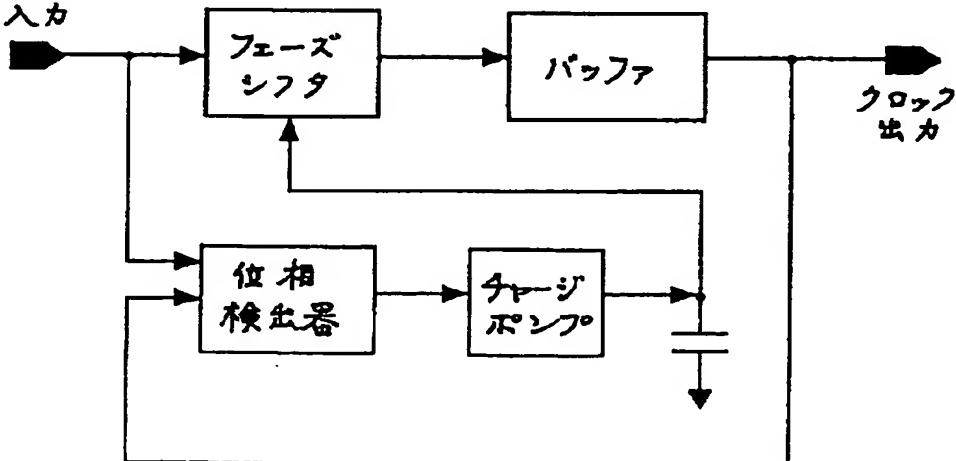


Figure 1b  
(従来技術)

[Drawing 2]

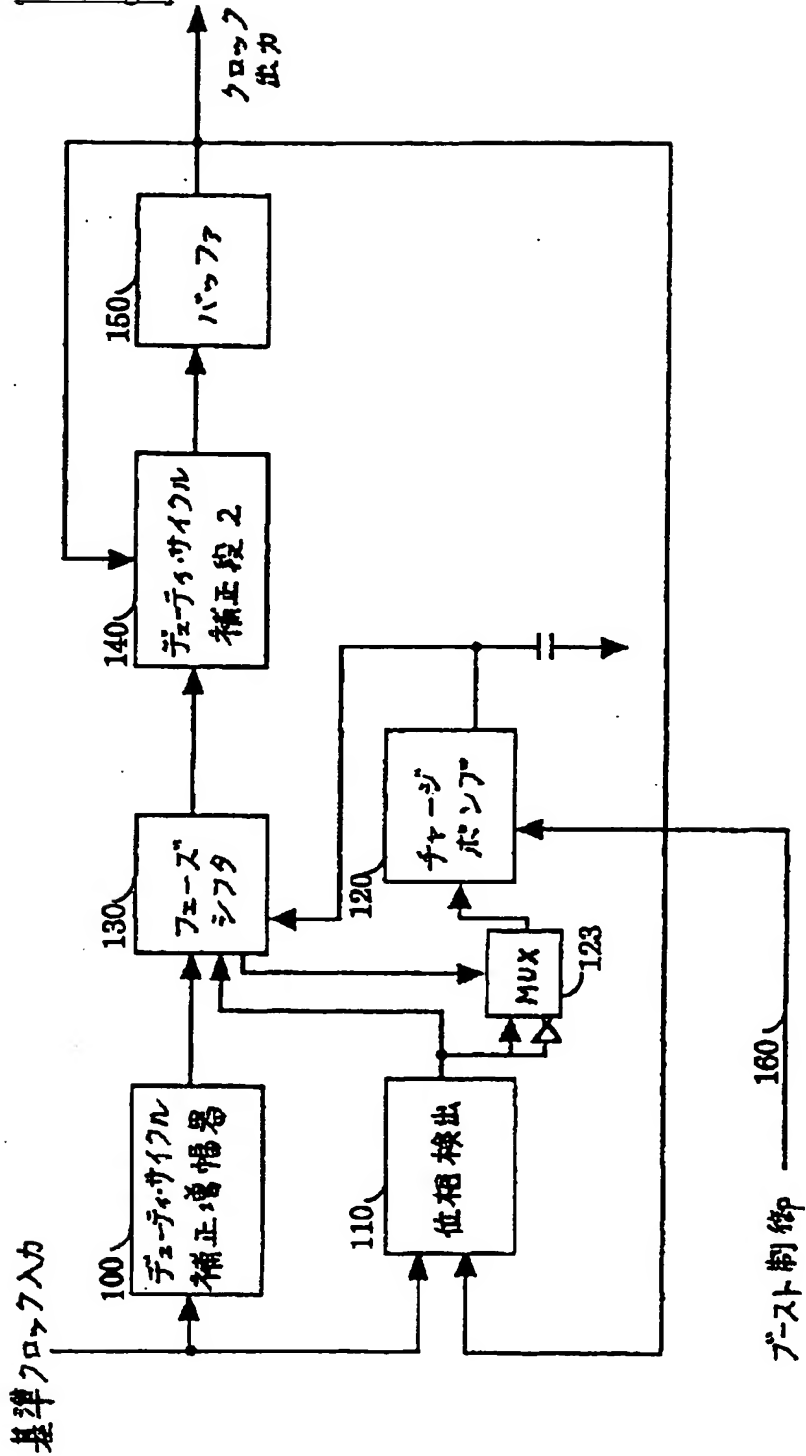


Figure 2

[Drawing 3]

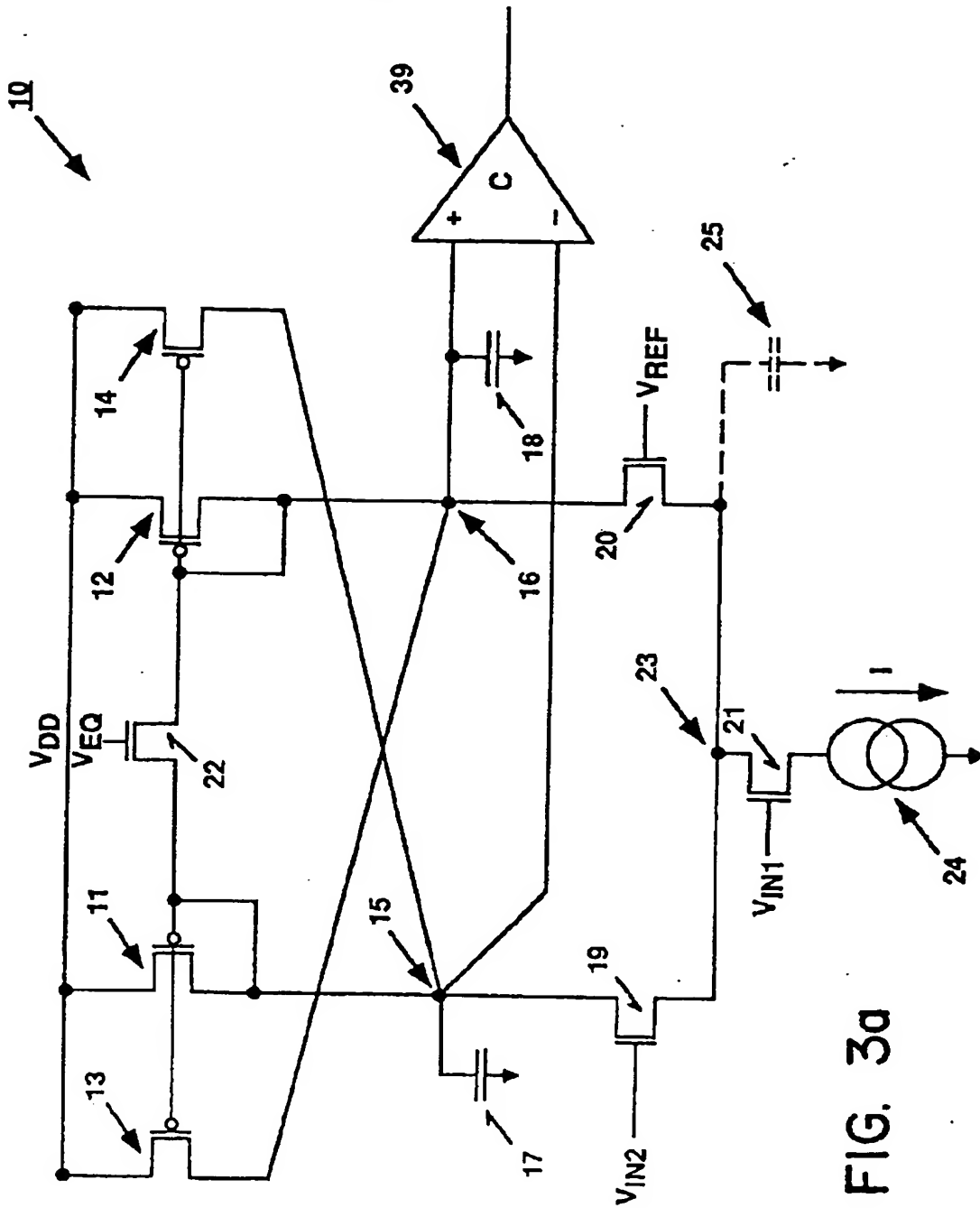
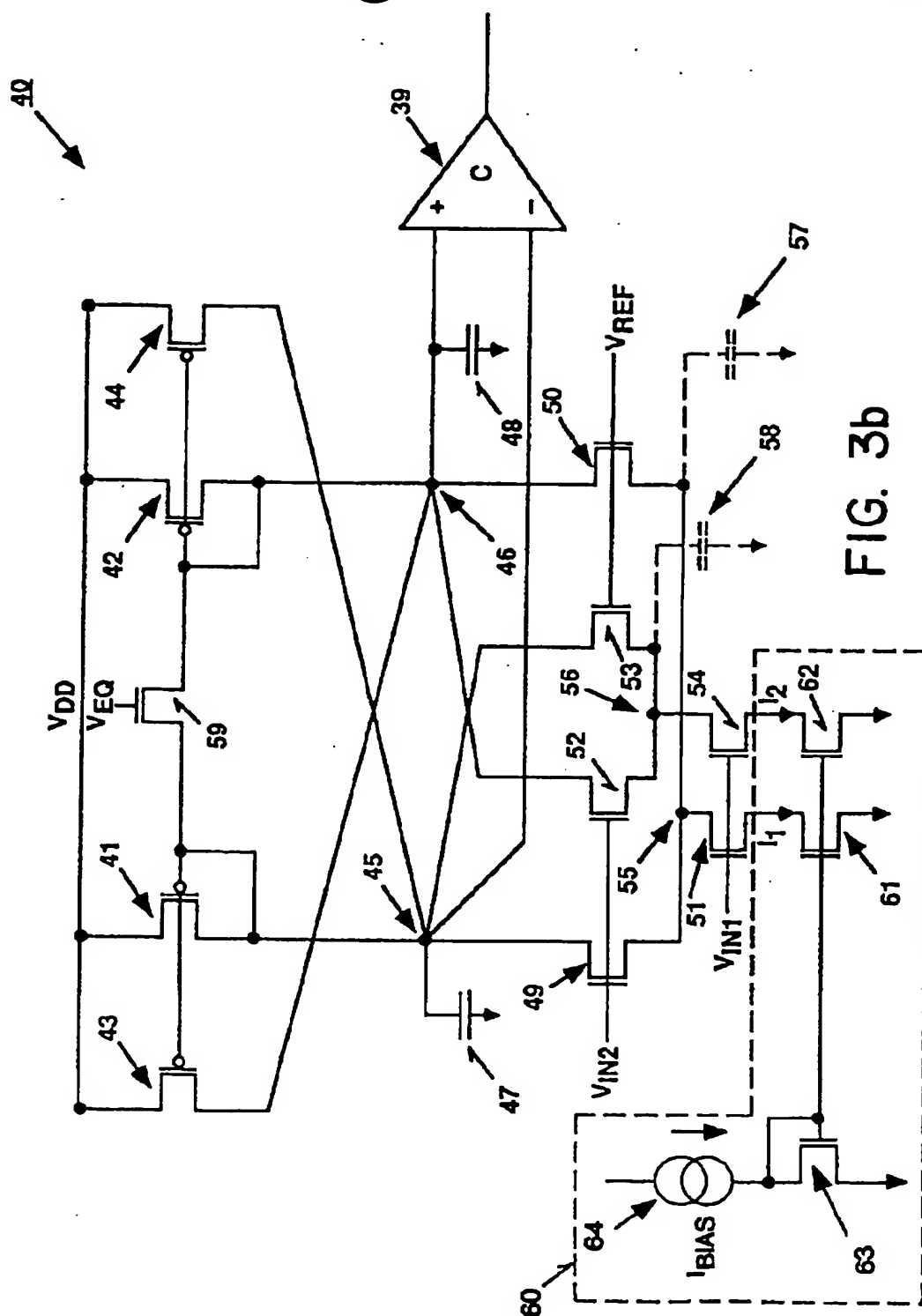


FIG. 3a

[Drawing 3]



[Drawing 4]

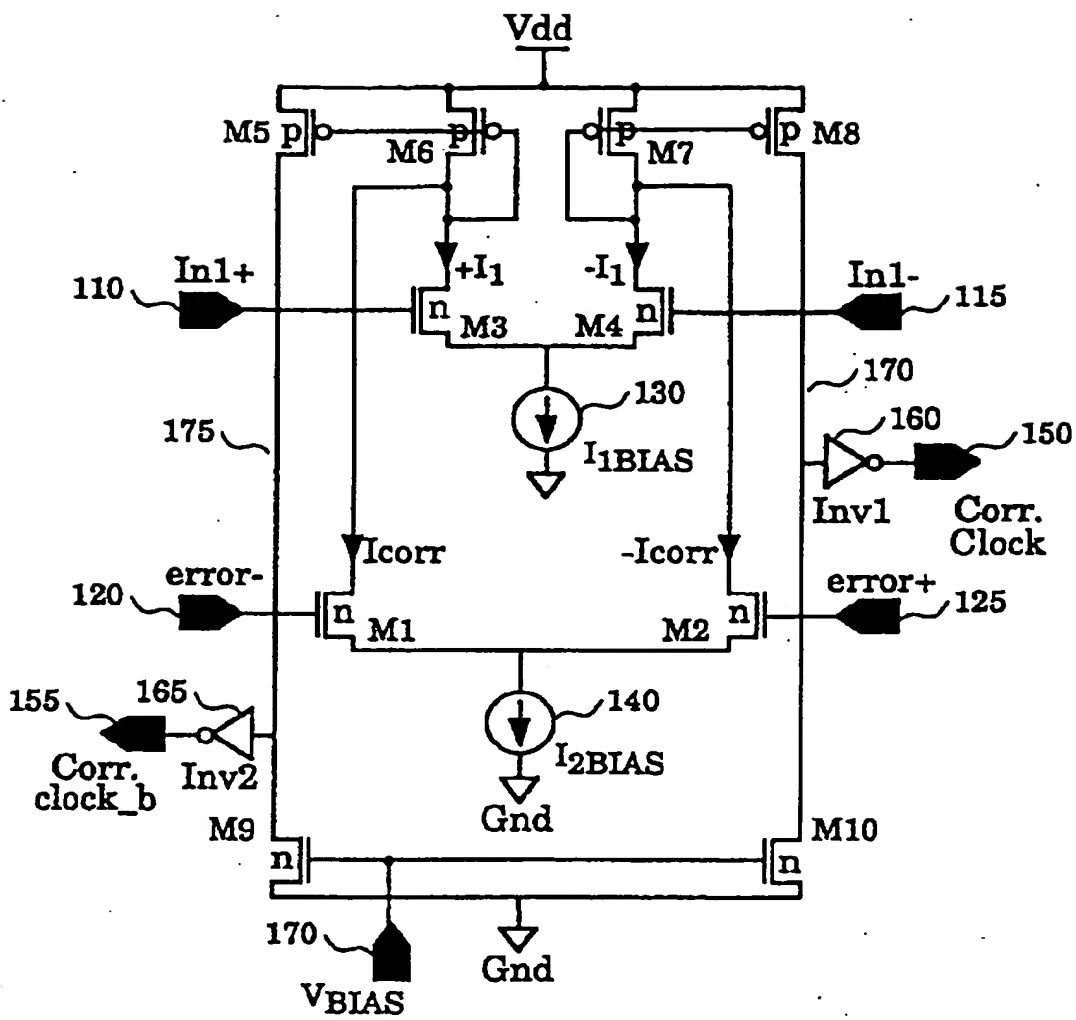
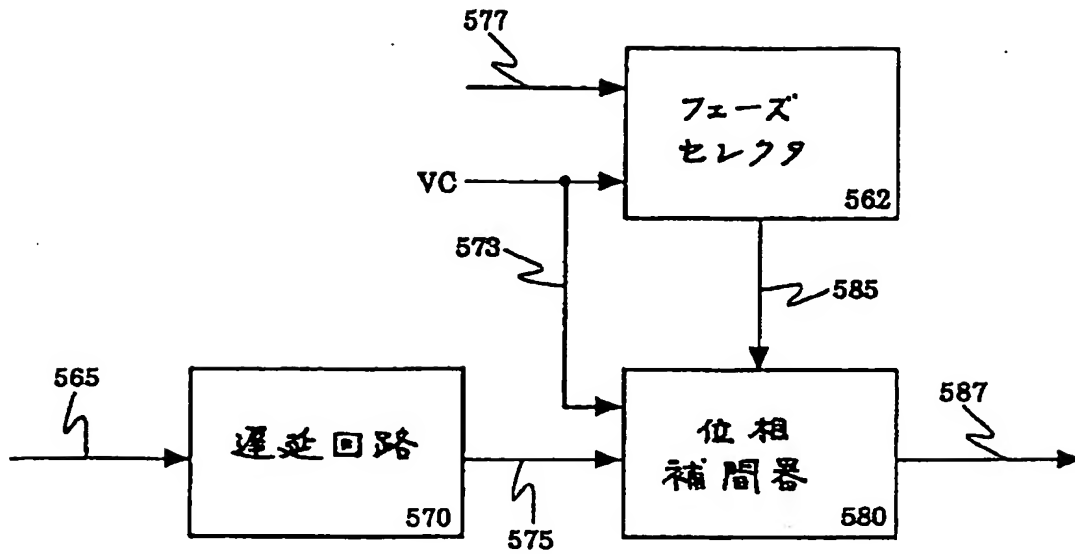


FIG. 4

[Drawing 5]

560*Figure 5a*[Drawing 5]

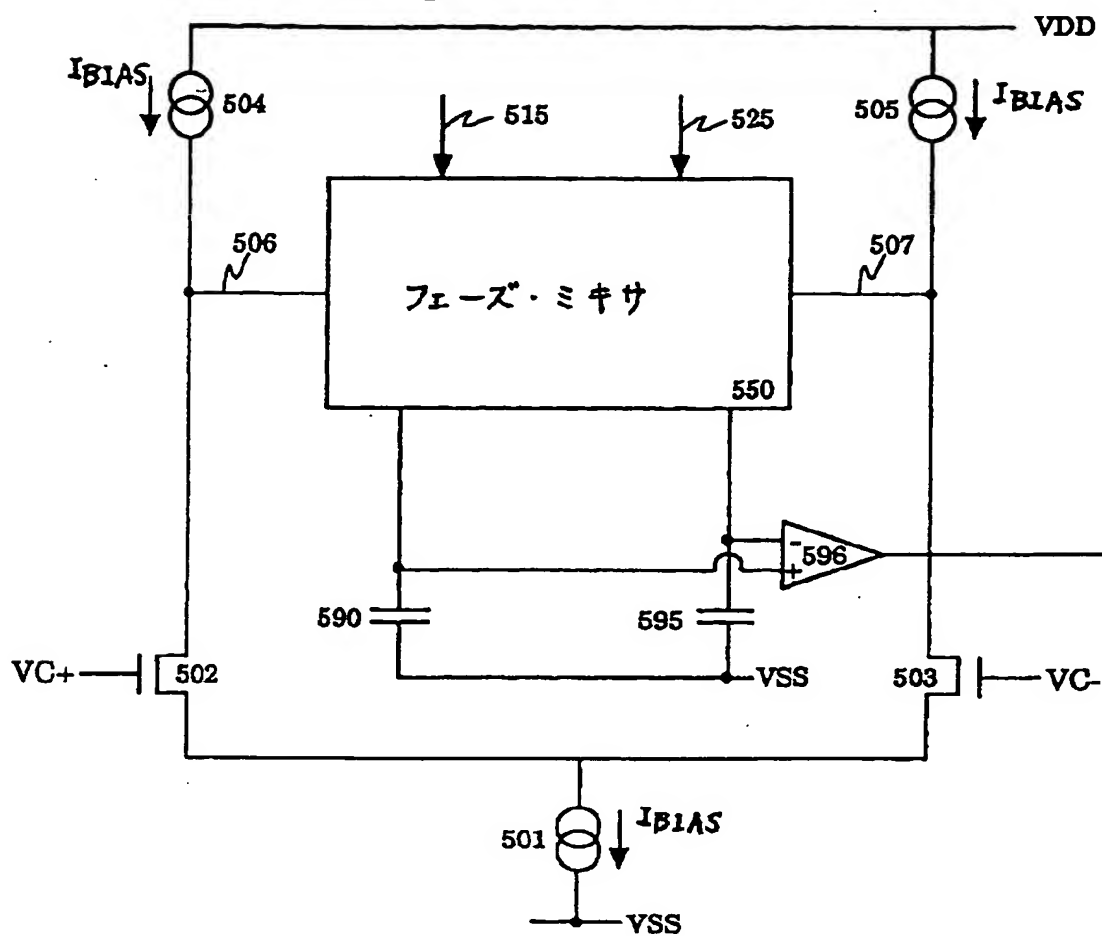


Figure 5b

[Drawing 5]



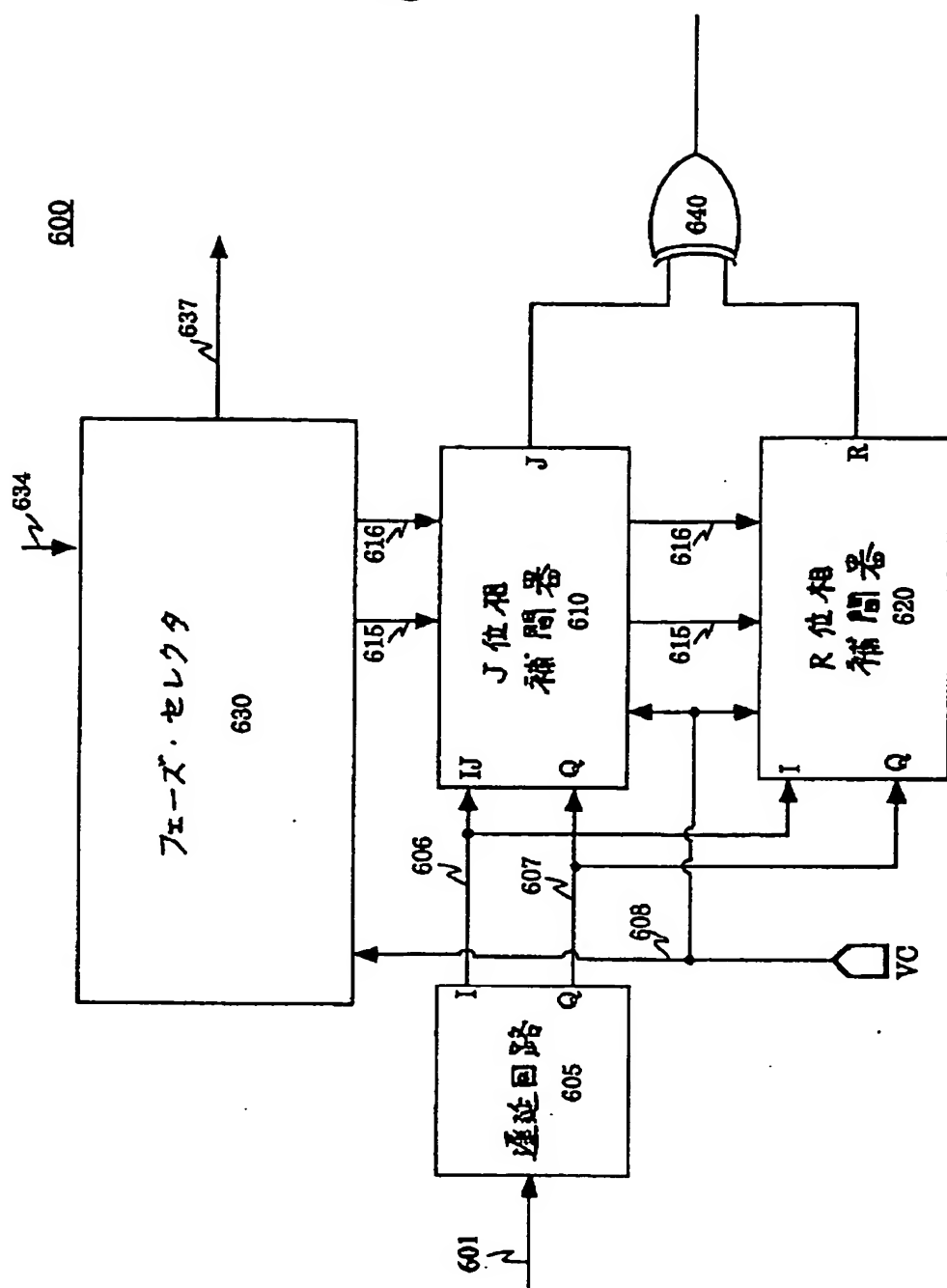


Figure 50

[Drawing 6]

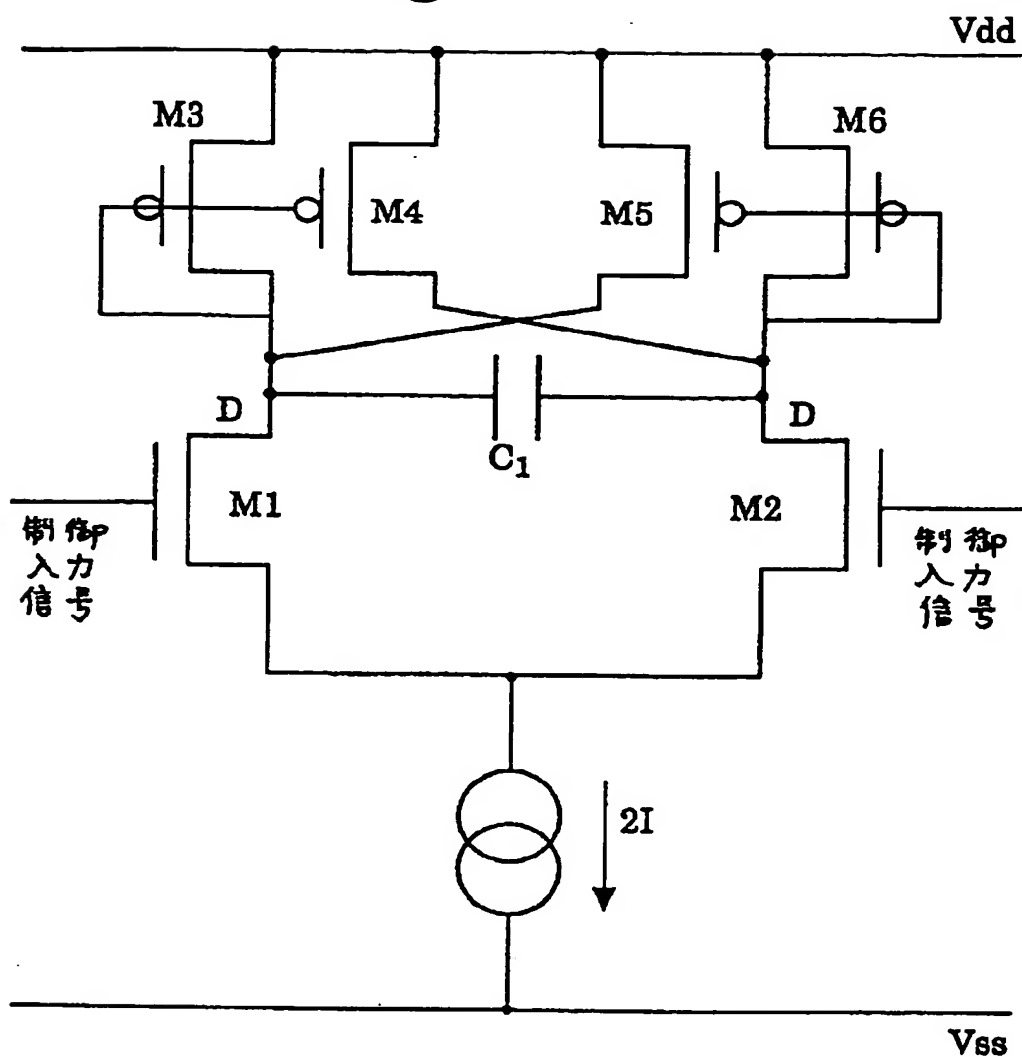


Figure 6a

[Drawing 6]

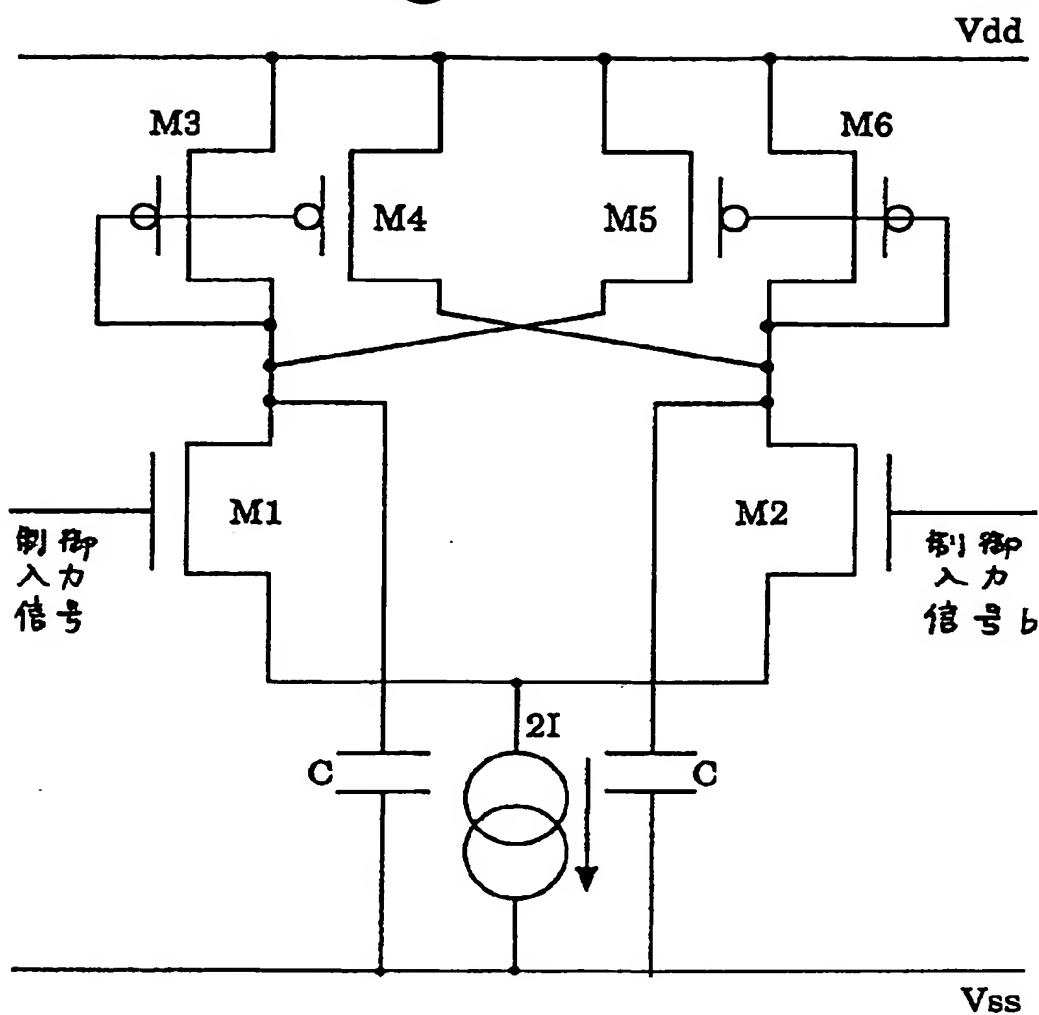


Figure 6b

[Drawing 7]

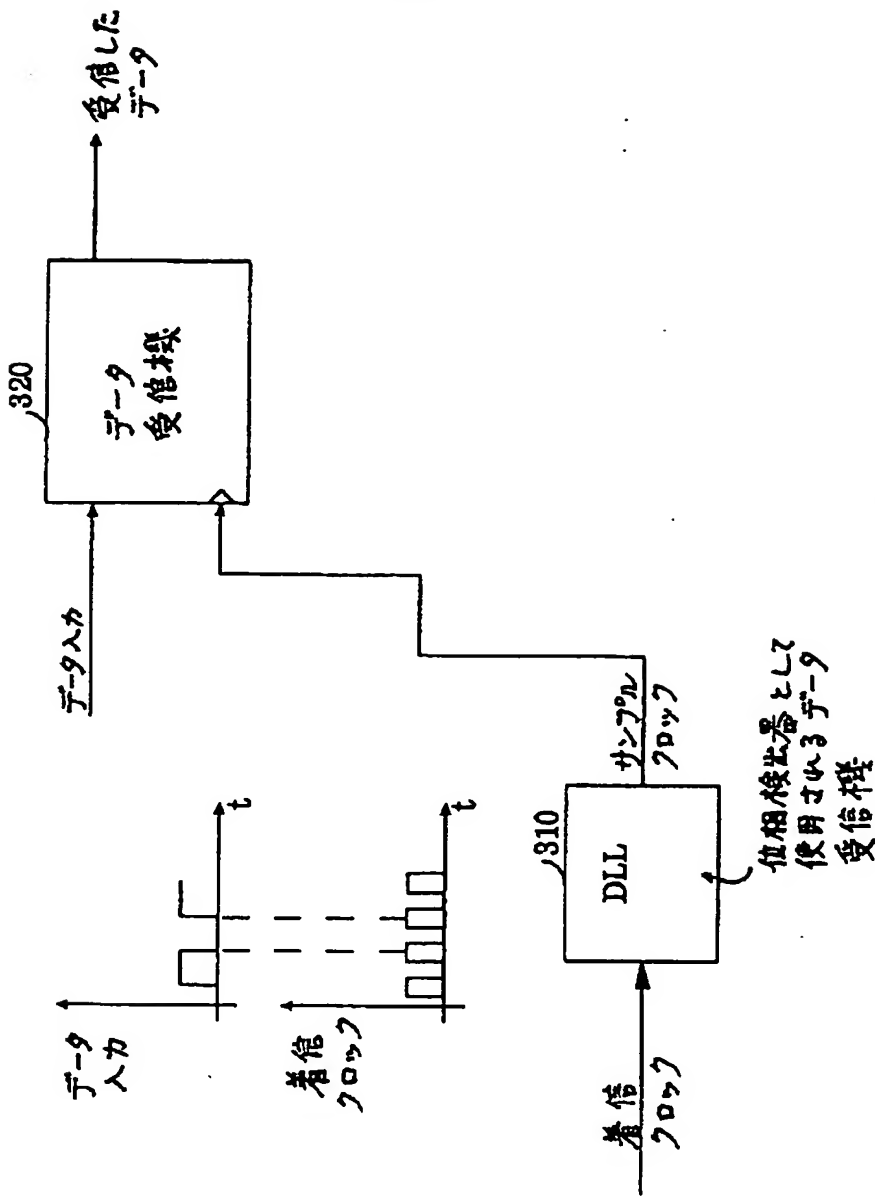


Figure 7a

[Drawing 7]

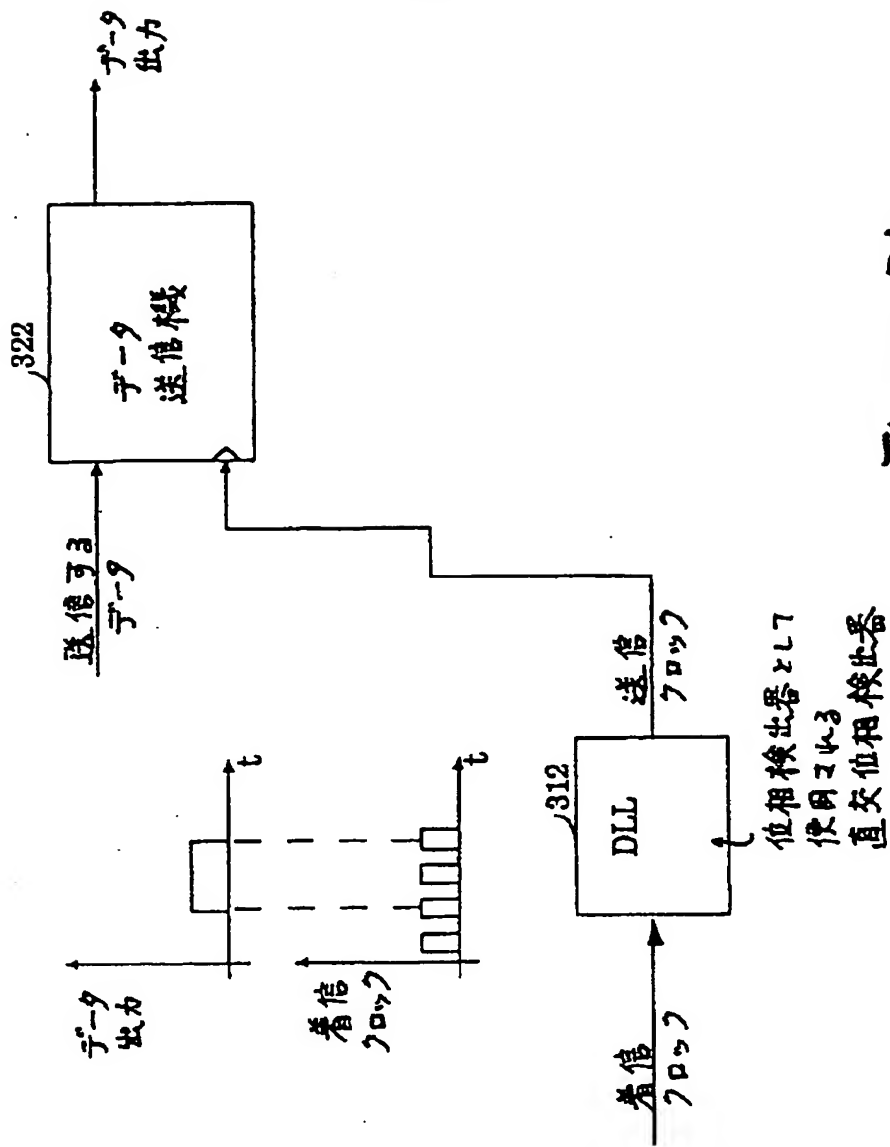


Figure 7b

[Drawing 8]

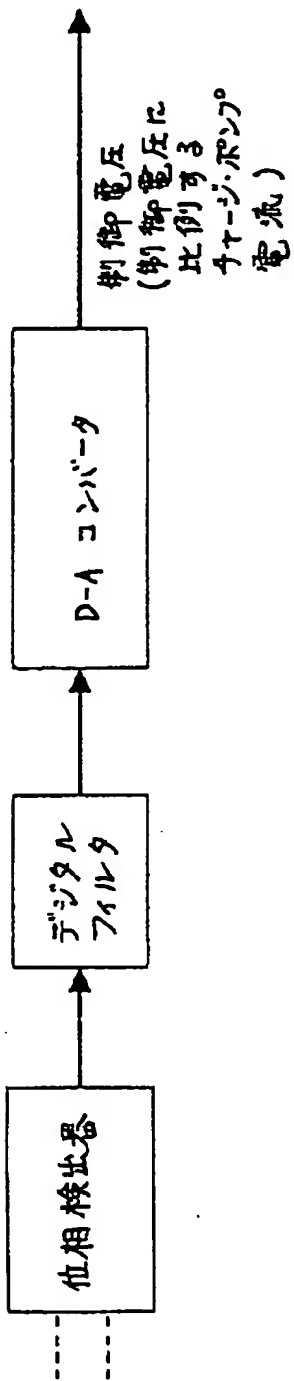


Figure 8

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CORRECTION OR AMENDMENT

---

[Kind of official gazette] Printing of amendment by the 1st term of Article 17 of Patent Law, and the convention of 2 of Article 17 of Patent Law  
[Section partition] The 3rd partition of the 7th section  
[Publication date] July 16, Heisei 14 (2002. 7.16)

[Official announcement number] \*\*\*\*\* 9-512966  
[Official announcement day] December 22, Heisei 9 (1997. 12.22)  
[Annual volume number]  
[Application number] Japanese Patent Application No. 7-521366  
[The 7th edition of International Patent Classification]

H03L 7/00  
G01R 31/28


[FI]

H03L	7/00	D
G01R	31/28	P

## 手続補正書

平成 年 月 日  
14.2.12

特許庁長官殿

1. 事件の表示 平成7年特許願第521366号  
(国際出願番号) PCT/US95/01726
2. 補正をする者  
名称 ランバス・インコーポレーテッド
3. 代理人  
住所 東京都千代田区永田町2丁目4番2号  
秀和溜池ビル8階  
山川国際特許事務所内  
電話 (3580) 0961  
氏名 (6462) 弁理士 山 川 政 樹 
4. 補正対象書類名 請求の範囲
5. 補正対象項目名 請求の範囲
6. 補正の内容 請求の範囲を、別紙の通り補正する。



## 請求の範囲

## 1. 入力信号との所定のタイミング関係で出力信号を生成する回路であって

前記入力信号を受けるように結合され、その入力信号のデューティ・サイクルを所定のデューティ・サイクルに補正してデューティ・サイクル補正済み入力信号を生成するデューティ・サイクル補正増幅器と、

前記入力信号と前記出力信号を受けるように結合され、出力信号の位相が入力信号の位相よりも進んでいるか、遅れているかを示す2進出力信号を生成する位相検出器と、

デューティ・サイクル補正済み入力信号と前記2進出力信号を受けるように結合され、デューティ・サイクル補正済み入力信号の移相を位相検出器の前記2進出力によって示される移相方向へ実行して出力信号を生成するフェーズ・シフタとを備え、

位相検出器の出力が平均して時間の50%だけ最初の状態の信号となるように、出力信号の位相が入力信号の位相の周りでディザすることを特徴とする回路。

## 2. 入力信号との所定のタイミング関係で出力信号を生成する回路であって

前記入力信号と前記出力信号を受けるように結合され、その出力信号の位相が入力信号の位相よりも進んでいるか、それとも遅れているかを示す2進出力信号を生成する位相検出器と、

前記位相検出器の2進出力を受けるように結合され、出力電流を生成するチャージ・ポンプと、

チャージ・ポンプに結合され、回路が入力信号と出力信号との間の所望のタイミング関係を得るように機能する獲得モードであることを示すとともに、回路がその獲得モードであることを示す第1の状態であるときに、前記チャージ・ポンプがより大きな出力電流を生成するブースト制御信号と、

入力信号、位相検出器からの2進出力信号、チャージ・ポンプからの出力電流を受けるように結合され、入力信号の移相を、位相検出器の2進出力信号によって示される移相方向へ実行して出力信号を生成し、チャージ・ポンプの出力電流

によって駆動されるフューズ・シフトとを備え、

回路が獲得モードであるときにはチャージ・ポンプによって出力される電流を増加させ、回路が獲得モードでないときには電流出力をより低いレベルに維持することによって、回路中のジッタが最小限に抑えられることを特徴とする回路。

3. 入力信号との所定のタイミング関係を有する出力信号を生成する方法であって、

前記入力信号のデューティ・サイクルを所定のデューティ・サイクルに補正してデューティ・サイクル補正済み入力信号を生成するステップと、

出力信号の位相が前記入力信号の位相よりも進んでいるか、それとも遅れているかを示す2進位相出力信号を生成するステップと、

デューティ・サイクル補正済み入力信号の移相を位相検出器の2進出力信号によって示される移相方向へ実行して前記出力信号を生成するステップと、

出力信号の位相が、位相検出器の2進出力が平均で時間の50%だけ最初の状態の信号となるように入力信号の位相の周りでディザすることを特徴とする方法

---

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**